

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003年5月8日 (08.05.2003)

PCT

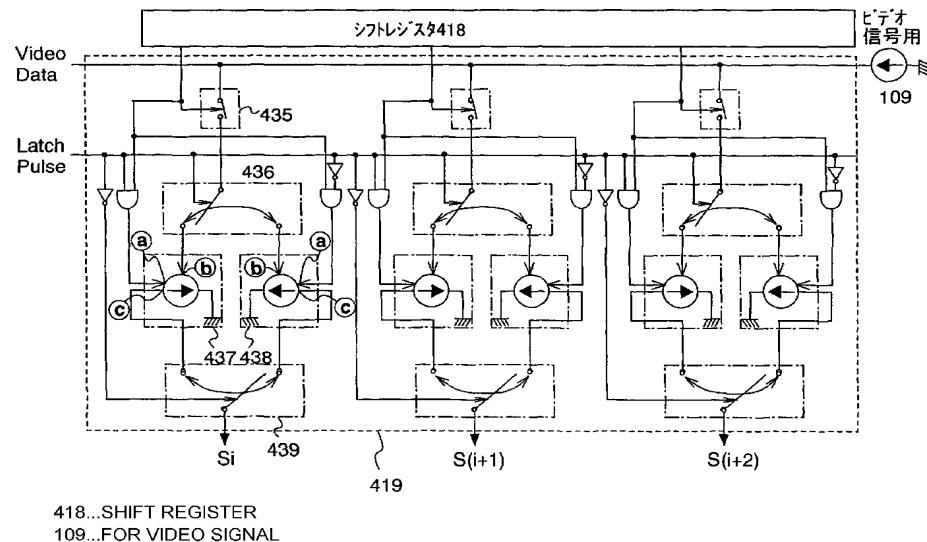
(10) 国際公開番号  
WO 03/038797 A1

- (51) 国際特許分類<sup>7</sup>: G09G 3/30, 3/20, G05F 1/10 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 木村 肇  
(KIMURA, Hajime) [JP/JP]; 〒243-0036 神奈川県 厚  
(21) 国際出願番号: PCT/JP02/11355 木市 長谷 3 9 8 株式会社半導体エネルギー研究所  
Kanagawa (JP).  
(22) 国際出願日: 2002年10月31日 (31.10.2002)  
(25) 国際出願の言語: 日本語 (74) 代理人: 大島 陽一 (OSHIMA, Yoichi); 〒162-0825 東京  
都 新宿区 神楽坂 6-4 2 喜多川ビル 7 階 Tokyo (JP).  
(26) 国際公開の言語: 日本語 (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,  
BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,  
(30) 優先権データ: DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
特願 2001-335918 ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,  
2001年10月31日 (31.10.2001) JP LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO,  
特願2002-287948 2002年9月30日 (30.09.2002) JP NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ,  
(71) 出願人 (米国を除く全ての指定国について): 株式 TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA,  
会社半導体エネルギー研究所 (SEMICONDUCTOR ZM, ZW.  
ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒243-  
0036 神奈川県 厚木市 長谷 3 9 8 Kanagawa (JP). (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW,  
MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許

[続葉有]

(54) Title: SIGNAL LINE DRIVE CIRCUIT AND LIGHT EMITTING DEVICE

(54) 発明の名称: 信号線駆動回路及び発光装置



(57) Abstract: A technique for suppressing affect of irregularities of transistor characteristics in a signal line drive circuit. The signal line drive circuit includes a first current source circuit (437) and a second current source circuit (438), each having capacity means and supply means. According to a sampling pulse supplied from a shift register (418) and a latch pulse supplied from outside, the capacity means converts the total of currents supplied from n video signal constant current sources (109) into a voltage. The supply means supplies current based on the converted voltage. Thus, current output is performed according to a video signal, not depending on the transistor characteristics. The current values supplied from the n video signal constant current sources are set to  $2^0, 2^1, \dots, 2^n$ , thereby enabling expression of gradation.

[続葉有]



WO 03/038797 A1



(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ  
特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,  
GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特  
許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,  
NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

---

(57) 要約:

本発明は、信号線駆動回路におけるトランジスタの特性のばらつきの影響を抑制する技術に関する。信号線駆動回路には、各々容量手段と供給手段とを有する第1電流源回路(437)及び第2電流源回路(438)を設ける。シフトレジスタ(418)から供給されるサンプリングパルスと外部から供給されるラッチパルスに従って、前記容量手段は、n個のビデオ信号用定電流源(109)の各々から供給される電流を加算した電流を電圧に変換し、前記供給手段は変換された電圧に応じた電流を供給することで、トランジスタの特性によらず、ビデオ信号に応じた電流出力を行うことを特徴とする。

前記n個のビデオ信号用定電流源から供給される電流値は、 $2^0$ ： $2^1$ ：・・・： $2^n$ に設定されて、階調を表現することが可能となる。

## 明 細 書

## 信号線駆動回路及び発光装置

## 5 技術分野

本発明は信号線駆動回路の技術に関する。また前記信号線駆動回路を有する発光装置の技術に関する。

## 背景技術

- 10 近年、画像の表示を行う表示装置の開発が進められている。表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして幅広く用いられている。
- 一方、自発光素子である発光素子を用いた発光装置の開発も近年進められている。発光装置は、既存の液晶表示装置がもつ利点に加えて、動画表示に適した速い応答
- 15 速度、低電圧、低消費電力などの特徴を有し、次世代ディスプレイとして大きく注目されている。

- 発光装置に多階調の画像を表示する際の階調表現方法としては、アナログ階調方式とデジタル階調方式が挙げられる。前者のアナログ階調方式は、発光素子に流れる電流の大きさをアナログ的に制御して階調を得るという方式である。また後者の
- 20 デジタル階調方式は、発光素子がオン状態（輝度がほぼ100%の状態）と、オフ状態（輝度がほぼ0%の状態）の2つの状態のみによって駆動するという方式である。デジタル階調方式においては、このままでは2階調しか表示できないため、別の方式と組み合わせて多階調の画像を表示する方法が提案されている。

- また画素の駆動方法としては、画素に入力する信号の種類で分類すると、電圧入力方式と電流入力方式が挙げられる。前者の電圧入力方式は、画素に入力するビデオ信号（電圧）を駆動用素子のゲート電極に入力して、該駆動用素子を用いて発光
- 25

素子の輝度を制御する方式である。また後者の電流入力方式では、設定された信号電流を発光素子に流すことにより、該発光素子の輝度を制御する方式である。

ここで、電圧入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16(A)を用いて簡単に説明する。図16(A)に示した画素5は、信号線501、走査線502、スイッチング用TFT503、駆動用TFT504、容量素子505、発光素子506、電源507、508を有する。

走査線502の電位が変化してスイッチング用TFT503がオンすると、信号線501に入力されているビデオ信号は、駆動用TFT504のゲート電極へと入力される。入力されたビデオ信号の電位に従って、駆動用TFT504のゲート・ソース間電圧が決定し、駆動用TFT504のソース・ドレイン間を流れる電流が決定する。この電流は発光素子506に供給され、該発光素子506は発光する。

発光素子を駆動する半導体素子としては、ポリシリコントランジスタが用いられる。しかし、ポリシリコントランジスタは、結晶粒界における欠陥に起因して、しきい値やオン電流等の電気的特性にバラツキが生じやすい。図16(A)に示した画素15において、駆動用TFT504の特性が画素毎にばらつくと、同じビデオ信号を入力した場合にも、それに応じた駆動用TFT504のドレイン電流の大きさが異なるため、発光素子506の輝度はばらつく。

上記問題を解決するためには、発光素子を駆動するTFTの特性に左右されず、所望の電流を発光素子に供給すればよい。この観点から、TFTの特性に左右されずに発光素子に供給する電流の大きさを制御できる電流入力方式が提案されている。

次いで、電流入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16(B)、17を用いて簡単に説明する。図16(B)に示した画素は、信号線601、第1～第3の走査線602～604、電流線605、TFT606～609、容量素子610、発光素子611を有する。電流源回路612は、各信号線(各列)に配置される。

図 1 7 を用いて、ビデオ信号の書き込みから発光までの動作について説明する。  
図 1 7 中、各部を示す図番は、図 1 6 に準ずる。図 1 7 (A) ~ (C) は、電流の  
経路を模式的に示している。図 1 7 (D) は、ビデオ信号の書き込み時における各  
経路を流れる電流の関係を示し、図 1 7 (E) は、同じくビデオ信号の書き込み時  
5 に容量素子 6 1 0 に蓄積される電圧、つまり T F T 6 0 8 のゲート・ソース間電圧  
を示す。

まず、第 1 及び第 2 の走査線 6 0 2、6 0 3 にパルスが入力され、T F T 6 0 6、  
6 0 7 がオンする。このとき、信号線 6 0 1 を流れる電流は信号電流を  $I_{data}$  と表  
記する。信号線 6 0 1 には、信号電流  $I_{data}$  が流れているので、図 1 7 (A) に示  
10 すように、画素内では、電流の経路は  $I_1$  と  $I_2$  とに分かれて流れる。これらの関  
係を図 1 7 (D) に示すが、 $I_{data} = I_1 + I_2$  であることは言うまでもない。

T F T 6 0 6 がオンした瞬間には、まだ容量素子 6 1 0 には電荷が保持されてい  
ないため、T F T 6 0 8 はオフである。よって、 $I_2 = 0$  となり、 $I_{data} = I_1$  とな  
る。この間は、容量素子 6 1 0 の両電極間に電流が流れて、該容量素子 6 1 0 にお  
15 いて電荷の蓄積が行われている。

そして徐々に容量素子 6 1 0 に電荷が蓄積され、両電極間に電位差が生じ始める  
(図 1 7 (E))。両電極の電位差が  $V_{th}$  となると (図 1 7 (E)、A 点)、T F T 6  
0 8 がオンして、 $I_2$  が生ずる。前述したように、 $I_{data} = I_1 + I_2$  であるので、  
 $I_1$  は次第に減少するが、依然電流は流れており、容量素子 6 1 0 にはさらに電荷  
20 の蓄積が行われる。

容量素子 6 1 0 では、その両電極の電位差、つまり T F T 6 0 8 のゲート・ソー  
ス間電圧が所望の電圧になるまで電荷の蓄積が続く。つまり T F T 6 0 8 が  $I_{data}$   
の電流を流すことが出来るだけの電圧になるまで電荷の蓄積が続く。やがて電荷の  
蓄積が終了する (図 1 7 (E)、B 点) と、電流  $I_1$  は流れなくなる。また、T F  
25 T 6 0 8 は完全にオンしているので、 $I_{data} = I_2$  となる (図 1 7 (B))。以上の  
動作により、画素に対する信号の書き込み動作が完了する。最後に第 1 及び第 2 の

走査線 602、603 の選択が終了し、TFT 606、607 がオフする。

続いて、第3の走査線 604 にパルスが入力され、TFT 609 がオンする。容量素子 610 には、先ほど書き込んだ VGS が保持されているため、TFT 608 はオンしており、電流線 605 から I data に等しい電流が流れる。これにより発光素子 611 が発光する。このとき、TFT 608 が飽和領域において動作するようにしておけば、TFT 608 のソース・ドレイン間電圧が変化したとしても、発光素子 611 に流れる発光電流 I<sub>EL</sub> は変わりなく流れる。

このように電流入力方式とは、TFT 609 のドレイン電流が電流源回路 612 で設定された信号電流 I data と同じ電流値になるように設定し、このドレイン電流に  
10 応じた輝度で発光素子 611 が発光を行う方式をいう。上記構成の画素を用いることで、画素を構成する TFT の特性バラツキの影響を抑制して、所望の電流を発光素子に供給することが出来る。

但し、電流入力方式を適用した発光装置では、ビデオ信号に応じた信号電流を正確に画素に入力する必要がある。しかし、信号電流を画素に入力する役目を担う信号線駆動回路（図 16 では電流源回路 612 に相当）をポリシリコントランジスタ  
15 で形成すると、その特性にバラツキが生じるため、該信号電流にもバラツキが生じてしまう。

つまり電流入力方式を適用した発光装置では、画素及び信号線駆動回路を構成する TFT の特性バラツキの影響を抑制する必要がある。しかし図 16 (B) に示す構成の画素を用いることによって、画素を構成する TFT の特性バラツキの影響を抑制することは出来るが、信号線駆動回路を構成する TFT の特性バラツキの影響を抑制することは困難となる。

そこで、電流入力方式の画素を駆動する信号線駆動回路に配置される電流源回路の構成とその動作について図 18 を用いて簡単に説明する。

25 図 18 (A) (B) における電流源回路 612 は、図 16 (B) で示した電流源回路 612 に相当する。電流源回路 612 は、定電流源 555 ~ 558 を有する。

定電流源 555～558 は、端子 551～554 を介して入力される信号により制御される。定電流源 555～558 から供給される電流の大きさは各々異なり、その比は 1 : 2 : 4 : 8 となるように設定されている。

図 18 (B) は電流源回路 612 の回路構成を示した図であり、図中の定電流源 555～558 はトランジスタに相当する。トランジスタ 555～558 のオン電流は、 $L$  (ゲート長) /  $W$  (ゲート幅) 値の比 (1 : 2 : 4 : 8) に起因して 1 : 2 : 4 : 8 となる。そうすると電流源回路 612 は、 $2^4 = 16$  段階で電流の大きさを制御することが出来る。つまり 4 ビットのデジタルビデオ信号に対して、16 階調のアナログ値を持つ電流を出力することが出来る。なお、この電流源回路 612 は、  
10 ポリシリコントランジスタで形成され、画素部と同一基板上に一体形成される。

このように、従来において、電流源回路を内蔵した信号線駆動回路は提案されている。(例えば、非特許文献 1、2 参照)

デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と面積階調方式とを組み合わせた方式 (以下面積階調方式と表記) やデジタル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) がある。面積階調方式とは、一画素を複数の副画素に分割し、それぞれの副画素で発光、又は非発光を選択することで、一画素において発光している面積と、それ以外の面積との差をもって階調を表現する方式である。また時間階調方式とは、発光素子が発光している時間を制御することにより、階調表現を行う方式である。具体的には、  
20 フレーム期間を長さの異なる複数のサブフレーム期間に分割し、各期間での発光素子の発光、又は非発光を選択することで、1 フレーム期間内で発光した時間の長さの差をもって階調を表現する。デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) が提案されている。(例えば、特許文献 1 参照)

25 [非特許文献 1]

服部励治、他 3 名、「信学技報」、ED2001-8、電流指定型ポリシリコン TFT アクテ

ィブマトリクス駆動有機 LED ディスプレイの回路シミュレーション、p. 7-14

〔非特許文献 2〕

Reiji H et al., 「AM-LCD'01」、OLED-4, p. 223-226

5 〔特許文献 1〕

特開 2001-5426 号公報

#### 発明の開示

上述した電流源回路 612 は、L/W 値を設計することによって、トランジスタの  
10 オン電流を 1 : 2 : 4 : 8 になるように設定している。しかしトランジスタ 555  
～トランジスタ 558 は、作製工程や使用する基板の相違によって生じるゲート長、  
ゲート幅及びゲート絶縁膜の膜厚のバラツキの要因が重なって、しきい値や移動度  
にバラツキが生じてしまう。そのため、トランジスタ 555～トランジスタ 558  
のオン電流を設計通りに正確に 1 : 2 : 4 : 8 にすることは困難である。つまり列  
15 によって、画素に供給する電流値にバラツキが生じてしまう。

トランジスタ 555～558 のオン電流を設計通りに正確に 1 : 2 : 4 : 8 にす  
るためには、全ての列にある電流源回路の特性を、全て同一にする必要がある。つ  
まり、信号線駆動回路の有する電流源回路のトランジスタの特性を、全て同一にす  
る必要があるが、その実現は非常に困難である。

20 本発明は上記の問題点を鑑みてなされたものであり、TFT の特性バラツキの影  
響を抑制して、所望の信号電流を画素に供給することができる信号線駆動回路を提  
供する。さらに本発明は、TFT の特性バラツキの影響を抑制した回路構成の画素  
を用いることにより、画素及び駆動回路の両方を構成する TFT の特性バラツキの  
影響を抑制して、所望の信号電流を発光素子に供給することができる発光装置を提  
25 供する。

本発明は、TFT の特性バラツキの影響を抑制した所望の一定電流を流す電気回



路（本明細書では電流源回路とよぶ）を設けた新しい構成の信号線駆動回路を提供する。さらに本発明は、前記信号線駆動回路を具備した発光装置を提供する。

本発明は各列（各信号線など）に電流源回路が配置された信号線駆動回路を提供する。

- 5      そして本発明の信号線駆動回路では、ビデオ信号用定電流源を用いて、各信号線に配置された電流源回路に信号電流を設定する。信号電流が設定された電流源回路では、ビデオ信号用定電流源に比例した電流を流す能力を有する。そのため、前記電流源回路を用いることにより、信号線駆動回路を構成するTFTの特性バラツキの影響を抑制することが出来る。
- 10      なお、ビデオ信号用定電流源は、基板上に信号線駆動回路と一体形成してもよい。またはビデオ信号用電流として、基板の外部からIC等を用いて電流を入力してもよい。この場合には、ビデオ信号用電流として、基板の外部から信号線駆動回路に一定の電流、もしくは、ビデオ信号に応じた電流が供給される。

- 本発明の信号線駆動回路の概略について図1、2を用いて説明する。図1、2に
- 15      は、 $i$ 列目から $(i+2)$ 列目の3本の信号線にかかる周辺の信号線駆動回路が示されている。

- 図1において、信号線駆動回路403には、各信号線（各列）に電流源回路420が配置されている。電流源回路420は、端子a、端子b及び端子cを有する。端子aからは、設定信号が入力される。端子bへは、電流線に接続されたビデオ信
- 20      号用定電流源109から電流（信号電流）が供給される。また端子cからは、電流源回路420に保持された信号をスイッチ101を介して出力する。つまり電流源回路420は、端子aから入力される設定信号により制御され、端子bからは供給される信号電流が入力され、該信号電流に比例した電流を端子cより出力する。なおスイッチ101は、電流源回路420と信号線に接続された画素との間に設けら
- 25      れ、前記スイッチ101のオン又はオフは、ラッチパルスにより制御される。

次いで図1とは異なる構成の本発明の信号線駆動回路について図2を用いて説

- 明する。図 2 において、信号線駆動回路 4 0 3 には、信号線ごと（各列）に 2 つ以上の電流源回路 4 2 0 が設けられている。そして電流源回路 4 2 0 は複数の電流源回路を有する。そしてここでは仮に 2 つの電流源回路を有するとして、電流源回路 4 2 0 は、第 1 電流源回路 4 2 1 及び第 2 電流源回路 4 2 2 を有するとする。第 1
- 5 電流源回路 4 2 1 及び第 2 電流源回路 4 2 2 は、端子 a、端子 b、端子 c 及び端子 d を有する。端子 a からは、設定信号が入力される。端子 b からは、電流線に接続されたビデオ信号用定電流源 1 0 9 から電流（信号電流）が供給される。また端子 c からは、第 1 電流源回路 4 2 1 及び第 2 電流源回路 4 2 2 に保持された信号を出力する。つまり電流源回路 4 2 0 は、端子 a から入力される設定信号及び端子 d から
- 10 ら入力される制御信号により制御され、端子 b からは供給される信号電流が入力され、該信号電流に比例した電流（信号電流）を端子 c より出力する。なおスイッチ 1 0 1 は、電流源回路 4 2 0 と信号線に接続された画素の間に設けられ、前記スイッチ 1 0 1 のオン又はオフは、ラッチパルスにより制御される。また端子 d からは、制御信号が入力される。
- 15 なお本明細書では、電流源回路 4 2 0 に対して信号電流 I data の書き込みを終了させる（信号電流を設定する、信号電流によって信号電流に比例した電流を出力できるように設定する、電流源回路 4 2 0 が信号電流を出力できるように定める）動作を設定動作と呼び、信号電流 I data を画素に入力する動作を入力動作（電流源回路 4 2 0 が信号電流を出力する動作）と呼ぶことにする。図 2 において、第 1 電
- 20 源回路 4 2 1 及び第 2 電流源回路 4 2 2 に入力される制御信号は互いに異なっているため、第 1 電流源回路 4 2 1 及び第 2 電流源回路 4 2 2 は、一方は設定動作を行い、他方は入力動作を行う。これにより同時に 2 つの動作を行うことが出来る。
- 本発明において、発光装置とは発光素子を有する画素部及び信号線駆動回路が基板とカバー材との間に封入されたパネル、前記パネルに I C 等を実装したモジュール、ディスプレイなどを範疇に含む。つまり発光装置とは、パネル、モジュール及
- 25 びディスプレイなどの総称に相当する。

本発明の信号線駆動回路では、各々が電流源回路を具備したラッチが配置される。また本発明の信号線駆動回路は、アナログ階調方式及びデジタル階調方式の両者に適用することが可能である。

本発明では、TFT は、通常の単結晶を用いたトランジスタや、SOI を用いたトランジスタ、有機トランジスタなどに置き換えて適用することができる。

本発明は、複数の信号線の各々に対応した第 1 及び第 2 電流源回路、並びにシフトレジスタ及び  $n$  個のビデオ信号用定電流源を有する信号線駆動回路であって ( $n$  は 1 以上の自然数)、

前記第 1 及び前記第 2 電流源回路の各々は、容量手段と供給手段を有し、

10 前記シフトレジスタから供給されるサンプリングパルスと外部から供給されるラッチパルスに従って、前記第 1 及び前記第 2 電流源回路の一方が有する容量手段は、前記  $n$  個のビデオ信号用定電流源の各々から供給される電流を加算した電流を電圧に変換し、他方が有する供給手段は前記変換された電圧に応じた電流を供給し、  
前記  $n$  個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots :$   
15  $2^n$  に設定されることを特徴とする。

本発明は、複数の信号線の各々に対応した ( $2 \times n$ ) 個の電流源回路、並びにシフトレジスタ及び  $n$  個のビデオ信号用定電流源を有する信号線駆動回路であって ( $n$  は 1 以上の自然数)、

20 前記 ( $2 \times n$ ) 個の電流源回路は、前記シフトレジスタから供給されるサンプリングパルスと外部から供給されるラッチパルスに従って、前記  $n$  個のビデオ信号用定電流源のいずれか 1 つから供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記複数の信号線の各々には、前記 ( $2 \times n$ ) 個の電流源回路から選択された  $n$  個から電流が供給され、

25 前記  $n$  個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots :$   
 $2^n$  に設定されることを特徴とする。

上記構成を有する本発明の信号線駆動回路は、シフトレジスタと、2個以上の電流源回路が配置されたラッチを有する。供給手段及び容量手段を有する電流源回路は、構成するトランジスタの特性バラツキの影響を受けることなく、所定の値の電流を供給することができる。また、前記信号線駆動回路には、論理演算子が配置され、前記論理演算子の2つの入力端子には、シフトレジスタから供給されるサンプリングパルスと、外部から供給されるラッチパルスが入力される。そして、本発明では、前記論理演算子の出力端子から出力される信号を用いて、ラッチに配置された2つの以上の電流源回路を制御する。この場合、前記電流源回路では、供給された電流を電圧に変換する動作に時間をかけて正確に行うことができる。

- 10 本発明は上記のような電流源回路を有する信号線駆動回路を提供する。さらに本発明は、T F Tの特性バラツキの影響を抑制した回路構成の画素を用いることにより、画素及び駆動回路の両方を構成するT F Tの特性バラツキの影響を抑制し、また所望の信号電流  $I_{data}$  を発光素子に供給することができる発光装置を提供する。

15 図面の簡単な説明

図1は、信号線駆動回路の図。

図2は、信号線駆動回路の図。

図3は、信号線駆動回路の図（1ビット、2ビット）。

図4は、信号線駆動回路の図（1ビット）。

- 20 図5は、信号線駆動回路の図（2ビット）。

図6は、電流源回路の回路図。

図7は、電流源回路の回路図。

図8は、電流源回路の回路図。

図9は、ビデオ信号用定電流源の回路図。

- 25 図10は、ビデオ信号用定電流源の回路図。

図11は、ビデオ信号用定電流源の回路図。

- 図 1 2 は、本発明の発光装置の外観を示す図。
- 図 1 3 は、発光装置の画素の回路図。
- 図 1 4 は、本発明の発光装置の駆動方法を説明する図。
- 図 1 5 は、本発明の発光装置を示す図。
- 5 図 1 6 は、発光装置の画素の回路図。
- 図 1 7 は、発光装置の画素の動作を説明する図。
- 図 1 8 は、電流源回路の図。
- 図 1 9 は、電流源回路の動作を説明する図。
- 図 2 0 は、電流源回路の動作を説明する図。
- 10 図 2 1 は、電流源回路の動作を説明する図。
- 図 2 2 は、本発明の発光装置が適用される電子機器を示す図。
- 図 2 3 は、ビデオ信号用定電流源の回路図。
- 図 2 4 は、ビデオ信号用定電流源の回路図。
- 図 2 5 は、ビデオ信号用定電流源の回路図。
- 15 図 2 6 は、信号線駆動回路の図（2 ビット）。
- 図 2 7 は、電流源回路の回路図。
- 図 2 8 は、電流源回路の回路図。
- 図 2 9 は、電流源回路の回路図。
- 図 3 0 は、電流源回路の回路図。
- 20 図 3 1 は、電流源回路の回路図。
- 図 3 2 は、電流源回路の回路図。
- 図 3 3 は、信号線駆動回路の図。
- 図 3 4 は、信号線駆動回路の図。
- 図 3 5 は、信号線駆動回路の図。
- 25 図 3 6 は、信号線駆動回路の図。
- 図 3 7 は、信号線駆動回路の図。

図 3 8 は、信号線駆動回路の図。

図 3 9 は、信号線駆動回路の図。

図 4 0 は、信号線駆動回路の図。

図 4 1 は、信号線駆動回路の図。

5 図 4 2 は、信号線駆動回路の図。

図 4 3 は、信号線駆動回路の図。

図 4 4 は、ビデオ信号用定電流源の回路図。

図 4 5 は、ビデオ信号用定電流源の回路図。

図 4 6 は、ビデオ信号用定電流源の回路図。

10 図 4 7 は、ビデオ信号用定電流源の回路図。

図 4 8 は、信号線駆動回路の図。

図 4 9 は、電流源回路のレイアウト図。

図 5 0 は、電流源回路の回路図。

## 15 発明を実施するための最良の形態

### (実施の形態 1)

本実施の形態では、本発明の信号線駆動回路に具備される電流源回路 4 2 0 の回路構成とその動作の例について説明する。

本発明では端子 a から入力される設定信号とは論理演算子の出力端子から入力  
20 される信号を示す。つまり図 1 における設定信号とは、論理演算子の出力端子から  
入力される信号に相当する。そして本発明では、論理演算子の出力端子から入力さ  
れる信号に合わせて、電流源回路 4 2 0 の設定を行う。

前記論理演算子の 2 つの入力端子には、一方にはシフトレジスタからのサンプリ  
ングパルスが入力され、他方にはラッチパルスが入力される。論理演算子では、入  
25 力された 2 つの信号の論理演算を行って、出力端子から信号を出力する。そして電  
流源回路では、前記論理演算子の出力端子から入力される信号によって、設定動作

又は入力動作を行う。

なおシフトレジスタとは、フリップフロップ回路（FF）等を複数列用いた構成を有するものである。そして前記シフトレジスタにクロック信号（S-CLK）、スタートパルス（S-SP）及びクロック反転信号（S-CLKb）が入力されて、これらの信号

5 のタイミングに従って、順次出力される信号をサンプリングパルスとよぶ。

図6（A）において、スイッチ104、105a、106と、トランジスタ102（nチャネル型）と、該トランジスタ102のゲート・ソース間電圧VGSを保持する容量素子103とを有する回路が電流源回路420に相当する。

電流源回路420では、端子aを介して入力される信号によってスイッチ104、

10 スwitch105aがオンとなる。そうすると、電流線（ビデオ線）に接続されたビデオ信号用定電流源109（以下定電流源109と表記）から、端子bを介して電流が供給され、容量素子103に電荷が保持される。そして定電流源109から流される信号電流I<sub>data</sub>がトランジスタ102のドレイン電流と等しくなるまで、容量素子103に電荷が保持される。

15 次いで、端子aを介して入力される信号により、スイッチ104、スイッチ105aをオフにする。そうすると、容量素子103に所定の電荷が保持されているため、トランジスタ102は、信号電流I<sub>data</sub>に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101、スイッチ106が導通状態になると、端子czを介して信号線に接続された画素に電流が流される。このとき、トランジ

20 スタ102のゲート電圧は、容量素子103により所定のゲート電圧に維持されているため、トランジスタ102のドレイン領域には信号電流I<sub>data</sub>に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキの影響を抑制して、画素に入力される電流の大きさを制御できる。

なおスイッチ104及びスイッチ105aの接続構成は図6（A）に示す構成に

25 限定されない。例えば、スイッチ104の一方を端子bに接続し、他方をトランジスタ102のゲート電極の間に接続し、更にスイッチ105aの一方をスイッチ1

04を介して端子bに接続して、他方をスイッチ116に接続する構成でもよい。そしてスイッチ104及びスイッチ105aは、端子aから入力される信号により制御される。

或いは、スイッチ102は端子bとトランジスタ104のゲート電極の間に配置し、スイッチ105aは端子bとスイッチ116の間に配置してもよい。つまり、図27(A)を参照すると、設定動作時には図27(A1)のように接続され、入力動作時には図27(A2)のように接続されるように、配線やスイッチを配置するとよい。配線の本数やスイッチの個数は特に限定されない。

なお図6(A)に示す電流源回路420では、信号を設定する動作（設定動作）と、信号を画素に inputs する動作（入力動作）、つまり、電流源回路から電流を出力する動作を同時に行うことは出来ない。

図6(B)において、スイッチ124、スイッチ125と、トランジスタ122（nチャネル型）と、該トランジスタ122のゲート・ソース間電圧VGSを保持する容量素子123と、とトランジスタ126（nチャネル型）とを有する回路が電流源回路420に相当する。

トランジスタ126はスイッチ又は電流源用トランジスタの一部のどちらかとして機能する。

図6(B)に示す電流源回路420では、端子aを介して入力される信号によってスイッチ124、スイッチ125がオンとなる。そうすると、電流線（ビデオ線）に接続された定電流源109から、端子bを介して電流が供給され、容量素子123に電荷が保持される。そして定電流源109から流される信号電流I<sub>data</sub>がトランジスタ122のドレイン電流と等しくなるまで、容量素子123に所定の電荷が保持される。なおスイッチ124がオンになると、トランジスタ126のゲート・ソース間電圧VGSが0Vとなるので、トランジスタ126はオフになる。

次いで、端子aを介して入力される信号により、スイッチ124、スイッチ125をオフにする。そうすると、容量素子123に所定の電荷が保持されているため、



トランジスタ 1 2 2 は、信号電流  $I_{data}$  の大きさの電流を流す能力をもつことになる。そして仮にスイッチ 1 0 1 が導通状態になると、端子 c を介して信号線に接続された画素に電流が流される。このとき、トランジスタ 1 2 2 のゲート電圧は、容量素子 1 2 3 により所定のゲート電圧に維持されているため、トランジスタ 1 2 2  
5 のドレイン領域には信号電流  $I_{data}$  に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキの影響を抑制して、画素に入力される電流の大きさを制御できる。

なおスイッチ 1 2 4、1 2 5 がオフすると、トランジスタ 1 2 6 のゲートとソースは同電位ではなくなる。その結果、容量素子 1 2 3 に保持された電荷がトランジ  
10 スタ 1 2 6 の方にも分配され、トランジスタ 1 2 6 が自動的にオンになる。ここで、トランジスタ 1 2 2、1 2 6 は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ 1 2 2、1 2 6 はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長  $L$  が異なることになる。従って、設定動作時に端子 b から供給される電流値は、入力動作  
15 時に端子 c から供給される電流値よりも大きくすることが出来る。そのため、端子 b と定電流源 1 0 9 との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

なおスイッチの個数、配線の本数及びその接続構成は特に限定されない。つまり、  
20 図 2 7 (B) を参照すると、設定動作時には図 2 7 (B 1) のように接続され、入力動作時には図 2 7 (B 2) のように接続されるように、配線やスイッチを配置するとよい。特に、図 2 7 (B 2) においては、容量素子 1 2 3 に貯まった電荷が漏れないようになっていけばよい。配線の本数やスイッチの個数は特に限定されない。

なお図 6 (B) に示す電流源回路 4 2 0 では、信号を設定する動作（設定動作）  
25 と、信号を画素に入力する動作（入力動作）、つまり、電流源回路から電流を出力する動作を同時に行うことは出来ない。

図6 (C) において、スイッチ108、スイッチ110、トランジスタ105、106 (nチャネル型)、該トランジスタ105b、106のゲート・ソース間電圧VGSを保持する容量素子107とを有する回路が電流源回路420に相当する。

図6 (C) に示す電流源回路420では、端子aを介して入力される信号によってスイッチ108、スイッチ110がオンとなる。そうすると電流線に接続された定電流源109から、端子bを介して電流が供給され、容量素子107に電荷が保持される。そして定電流源109から流される信号電流I data がトランジスタ105bのドレイン電流と等しくなるまで、容量素子107に電荷が保持される。このとき、トランジスタ105b及びトランジスタ106のゲート電極は互いに接続されているので、トランジスタ105b及びトランジスタ106のゲート電圧が、容量素子107によって保持されている。

次いで、端子aを介して入力される信号により、スイッチ108、スイッチ110をオフにする。そうすると、容量素子107に所定の電荷が保持されるため、トランジスタ106は、信号電流I data に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ106のゲート電圧は、容量素子107により所定のゲート電圧に維持されているため、トランジスタ106のドレイン領域には信号電流I data に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキの影響を抑制して、画素に

このとき、トランジスタ106のドレイン領域に、信号電流I data に応じたドレイン電流を正確に流すためには、トランジスタ105b及びトランジスタ106の特性が同じであることが必要となる。より詳しくは、トランジスタ105b及びトランジスタ106の移動度、しきい値などの値が同じであることが必要となる。また図6 (C) では、トランジスタ105b及びトランジスタ106のW (ゲート幅) /L (ゲート長) の値を任意に設定して、定電流源109から供給される信号電流I

data に比例した電流を画素に供給するようにしてもよい。

またトランジスタ 105b において、定電流源 109 に接続されたトランジスタの W/L を大きく設定することで、該定電流源 109 から大電流を供給して、書き込み速度を早くすることが出来る。

- 5     なお図 6 (C) に示す電流源回路 420 では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことが出来る。

そして図 6 (D)、(E) に示す電流源回路 420 は、図 6 (C) に示す電流源回路 420 とスイッチ 110 の接続構成が異なっている点以外は、その他の回路素子の接続構成は同じである。また図 6 (D)、(E) に示す電流源回路 420 の動作は、

- 10    図 6 (C) に示す電流源回路 420 の動作と同じであるので、本実施の形態では説明を省略する。

なおスイッチの個数、配線の本数及びその接続構成は特に限定されない。つまり、図 27 (C) を参照すると、設定動作時には図 27 (C1) のように接続され、入力動作時には図 27 (C2) のように接続されるように、配線やスイッチを配置するとよい。特に、図 27 (C2) においては、容量素子 107 に貯まった電荷が漏れないようになっていけばよい。

- 図 28 (A) において、スイッチ 195b、195c、195d、195f、トランジスタ 195a、容量素子 195e を有する回路が電流源回路に相当する。図 28 (A) に示す電流源回路では、端子 a を介して入力される信号によりスイッチ 195b、195c、195d、195f がオンになる。そうすると、端子 b を介して、電流線に接続された定電流源 109 から電流が供給され、定電流源 109 から供給される信号電流とトランジスタ 195a のドレイン電流が等しくなるまで、容量素子 195e に所定の電荷が保持される。
- 20

- 次いで、端子 a を介して入力される信号により、スイッチ 195b、195c、195d、f がオフになる。このとき、容量素子 195e には所定の電荷が保持されているため、トランジスタ 195a は信号電流に応じた大きさの電流を流す能力
- 25

を有する。これは、トランジスタ 195 a のゲート電圧は、容量素子 195 e により所定のゲート電圧に設定されており、該トランジスタ 195 a のドレイン領域には電流（ビデオ信号用電流）に応じたドレイン電流が流れるためである。この状態において、端子 c を介して外部に電流が供給される。なお図 28 (A) に示す電流

5 源回路では、電流源回路が信号電流を流す能力を有するように設定する設定動作と、該信号電流を画素に入力する入力動作を同時に行うことは出来ない。なお端子 a を介して入力される信号により制御されるスイッチがオンであり、且つ端子 c から電流が流れないようにしているときは、端子 c と他の電位の配線とを接続する必要がある。そして、ここではその配線の電位を、 $V_a$  とする。 $V_a$  は、端子 b から流れてくる電流をそのまま流せるような電位であればよく、一例としては、電源電圧

10  $V_{dd}$  などよい。

なおスイッチの個数やその接続構成は特に限定されない。つまり、図 28 (B) (C) を参照すると、設定動作時には (B1) (C1) のように接続され、入力動作時には (B2) (C2) のように接続されるように、配線やスイッチを配置するとよい。

15 い。配線の本数やスイッチの個数は特に限定されない。

また図 6 (A)、図 6 (C) ~ (E) において、電流の流れる方向（画素から信号線駆動回路への方向）は同様であって、トランジスタ 102、トランジスタ 105 b、トランジスタ 106 の極性（導電型）を p チャネル型にすることも可能である。

20 そこで図 7 (A) には、電流の流れる方向（画素から信号線駆動回路への方向）は同様であって、図 6 (A) に示すトランジスタ 102 を p チャネル型にしたときの回路構成を示す。図 7 (A) では、容量素子をゲート・ソース間に配置することにより、ソースの電位は変化しても、ゲート・ソース間電圧は保持することが出来る。また図 7 (B) ~ (D) には、電流の流れる方向（画素から信号線駆動回路への方向）は同様であって、図 6 (C) ~ (E) に示すトランジスタ 105 b、トランジスタ 106 を p チャネル型にした回路図を示す。

25

図 2 9 (A) には、図 2 8 に示した構成において、トランジスタ 1 9 5 a を p チャンネル型にした場合を示す。図 2 9 (B) には、図 6 (B) に示した構成において、トランジスタ 1 2 2、1 2 6 を p チャンネル型にした場合を示す。

図 3 1 において、スイッチ 1 0 4、1 1 6、トランジスタ 1 0 2、容量素子 1 0 5 3 などを有する回路が電流源回路に相当する。

図 3 1 (A) は、図 6 (A) の一部を変更した回路に相当する。図 3 1 (A) に示す電流源回路では、電流源の設定動作時と、入力動作時とで、トランジスタのゲート幅  $W$  が異なる。つまり、設定動作時には、図 3 1 (B) のように接続され、ゲート幅  $W$  が大きい。入力動作時には、図 3 1 (C) のように接続され、ゲート幅  $W$  が小さい。従って、設定動作時に端子 b から供給される電流値は、入力動作時に端子 c から供給される電流値よりも大きくすることが出来る。そのため、端子 b とビデオ信号用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

15     なお、図 3 1 では、図 6 (A) の一部を変更した回路について示した。しかし、図 6 のほかの回路や図 7、図 2 8、図 3 0、図 2 9 などの回路にも、容易に適用できる。

20     なお上記の電流源回路では、電流は画素から信号線駆動回路の方向へ流れる。しかし電流は、画素から信号線駆動回路の方向へ流れるだけでなく、信号線駆動回路から画素の方向へ流れる場合もある。なお、電流が画素から信号線駆動回路の方向へ流れるか、又は電流が信号線駆動回路から画素の方向へ流れるかは、画素の構成に依存する。そして電流が信号線駆動回路から画素の方向へ流れる場合には、図 6 に示す回路図において、 $V_{ss}$ （低電位電源）を  $V_{dd}$ （高電位電源）とし、更にトランジスタ 1 0 2、トランジスタ 1 0 5 b、トランジスタ 1 0 6、トランジスタ 1 2 2 及びトランジスタ 1 2 6 を p チャンネル型とすればよい。また図 7 に示す回路図において、 $V_{ss}$  を  $V_{dd}$  とし、更にトランジスタ 1 0 2、トランジスタ 1 0 5 b 及びト

ランジスタ 106 を n チャンネル型とすればよい。

但し、設定動作時には図 30 (A1) ~ (D1) のように接続され、入力動作時には図 30 (A2) ~ (D2) のように接続されるように、配線やスイッチを配置するとよい。配線の本数、スイッチの個数及びその接続は特に限定されない。

- 5     なお、上記の全ての電流源回路において、配置されている容量素子は、トランジスタのゲート容量などを代用することで、配置しなくてもよい。

以下には、図 6、7 を用いて説明した電流源回路のうち、図 6 (A) 及び図 7 (A)、図 6 (C) ~ (E) 及び図 7 (B) ~ (D) の電流源回路の動作について詳しく説明する。まず、図 6 (A) 及び図 7 (A) の電流源回路の動作について図 19 を用  
10   いて説明する。

図 19 (A) ~ 図 19 (C) は、電流が回路素子間を流れていく経路を模式的に示している。図 19 (D) は、信号電流  $I_{data}$  を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図 19 (E) は、信号電流  $I_{data}$  を電流源回路に書き込むときに容量素子 16 に蓄積される電圧、つまりトランジスタ 1  
15   5 のゲート・ソース間電圧と時間の関係を示している。また図 19 (A) ~ 図 19 (C) に示す回路図において、11 はビデオ信号用定電流源、スイッチ 12 ~ スイッチ 14 はスイッチング機能を有する半導体素子、15 はトランジスタ (n チャンネル型)、16 は容量素子、17 は画素である。本実施の形態では、スイッチ 14 と、トランジスタ 15 と、容量素子 16 とが電流源回路 20 に相当する電気回路とする。  
20   なお図 19 (A) には引き出し線と符号が付いており、図 19 (B)、(C) において引き出し線と符号は図 19 (A) に準ずるので図示は省略する。

n チャンネル型のトランジスタ 15 のソース領域は  $V_{ss}$  に接続され、ドレイン領域はビデオ信号用定電流源 11 に接続されている。そして容量素子 16 の一方の電極は  $V_{ss}$  (トランジスタ 15 のソース) に接続され、他方の電極はスイッチ 14 (ト  
25   ランジスタ 15 のゲート) に接続されている。容量素子 16 は、トランジスタ 15 のゲート・ソース間電圧を保持する役目を担う。

なお実際には、電流源回路 20 は信号線駆動回路に設けられている。そして信号線駆動回路に設けられた電流源回路 20 から、信号線や画素が有する回路素子等を介して発光素子に信号電流  $I_{data}$  に応じた電流が流れる。しかし図 19 は、ビデオ信号用定電流源 11、電流源回路 20 及び画素 17 との関係の概略を簡単に説明するための図であるので、詳しい構成の図示は省略する。

まず電流源回路 20 が信号電流  $I_{data}$  を保持する動作(設定動作)を図 19 (A)、(B)を用いて説明する。図 19 (A)において、スイッチ 12、スイッチ 14 がオンとなり、スイッチ 13 はオフとなる。この状態において、ビデオ信号用定電流源 11 から信号電流  $I_{data}$  が出力され、ビデオ信号用定電流源 11 から電流源回路 20 の方向に電流が流れていく。このとき、ビデオ信号用定電流源 11 からは信号電流  $I_{data}$  が流れているので、図 19 (A)に示すように電流源回路 20 内では、電流の経路は  $I_1$  と  $I_2$  に分かれて流れる。このときの関係を図 19 (D)に示しているが、信号電流  $I_{data} = I_1 + I_2$  の関係であることは言うまでもない。

ビデオ信号用定電流源 11 から電流が流れ始めた瞬間には、容量素子 16 に電荷は保持されていないため、トランジスタ 15 はオフしている。よって、 $I_2 = 0$  となり、 $I_{data} = I_1$  となる。

そして、徐々に容量素子 16 に電荷が蓄積されて、容量素子 16 の両電極間に電位差が生じはじめる(図 19 (E))。両電極間の電位差が  $V_{th}$  になると(図 19 (E) A点)、トランジスタ 15 がオンして、 $I_2 > 0$  となる。上述したように  $I_{data} = I_1 + I_2$  であるので、 $I_1$  は次第に減少するが、依然電流は流れている。容量素子 16 には、さらに電荷の蓄積が行われる。

容量素子 16 の両電極間の電位差は、トランジスタ 15 のゲート・ソース間電圧となる。そのため、トランジスタ 15 のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 15 が  $I_{data}$  の電流を流すことが出来るだけの電圧 ( $V_{GS}$ ) になるまで、容量素子 16 における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると(図 19 (E) B点)、電流  $I_2$  は流れなくなり、さらにトランジスタ 15

は完全にオンしているので、 $I_{data} = I_2$ となる（図19（B））。

次いで、画素に信号電流  $I_{data}$  を入力する動作（入力動作）を図19（C）を用いて説明する。画素に信号電流  $I_{data}$  を入力するときには、スイッチ13をオンにしてスイッチ12及びスイッチ14をオフにする。容量素子16には前述した動作  
5 において書き込まれたVGSが保持されているため、トランジスタ15はオンしており、信号電流  $I_{data}$  に等しい電流が、スイッチ13及びトランジスタ15を介してVssの方向に流れて、画素への信号電流  $I_{data}$  の入力が完了する。このとき、トランジスタ15を飽和領域において動作するようにしておけば、トランジスタ15のソース・ドレイン間電圧が変化したとしても、画素において流れる電流は変わ  
10 りなく流れることができる。

図19に示す電流源回路20では、図19（A）～図19（C）に示すように、まず電流源回路20に対して信号電流  $I_{data}$  の書き込みを終了させる動作（設定動作、図19（A）、（B）に相当）と、画素に信号電流  $I_{data}$  を入力する動作（入力動作、図19（C）に相当）に分けられる。そして画素では入力された信号電流  $I_{data}$  に基づき、発光素子への電流の供給が行われる。  
15

図19に示す電流源回路20では、設定動作と入力動作を同時に行うことは出来ない。よって、設定動作と入力動作を同時に行う必要がある場合には、画素が複数個接続されている信号線であって、更に画素部に複数本配置されている信号線のそれぞれに、少なくとも2つの電流源回路を設けることが好ましい。但し、信号電流  
20  $I_{data}$  を画素に入力していない期間内に、設定動作を行うことが可能であるならば、信号線ごとに（各列に）1つの電流源回路を設けるだけでもよい。

また図19（A）～図19（C）に示した電流源回路20のトランジスタ15はnチャネル型であったが、勿論電流源回路20のトランジスタ15をpチャネル型としてもよい。ここで、トランジスタ15がpチャネル型の場合の回路図を図19  
25 （F）に示す。図19（F）において、31はビデオ信号用定電流源、スイッチ32～スイッチ34はスイッチング機能を有する半導体素子（トランジスタ）、35



はトランジスタ（pチャネル型）、36は容量素子、37は画素である。本実施の形態では、スイッチ34と、トランジスタ35と、容量素子36とが電流源回路24に相当する電気回路とする。

トランジスタ35はpチャネル型であり、トランジスタ35のソース領域及びド  
5 レイン領域は、一方はVddに接続され、他方は定電流源31に接続されている。そして容量素子36の一方の電極はVddに接続され、他方の電極はスイッチ36に接続されている。容量素子36は、トランジスタ35のゲート・ソース間電圧を保持する役目を担う。

図19（F）に示す電流源回路24の動作は、電流の流れる方向が異なる以外は、  
10 上記の電流源回路20と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ15の極性を変更した電流源回路を設計する場合には、図7（A）に示す回路図を参考にすればよい。

なお図32において、電流の流れる方向は図19（F）と同じで、トランジスタ  
35をnチャネル型にしている。容量素子36は、トランジスタ35のゲート・ソ  
15 ース間に接続する。ソースの電位は設定動作時と、入力動作時とで異なる。しかし、ソースの電位が変化しても、ゲート・ソース間電圧は保持されているため、正常に動作する。

続いて図6（C）～（E）及び図7（B）～（D）の電流源回路の動作について  
図20、21を用いて説明する。図20（A）～図20（C）は、電流が回路素子  
20 間を流れていく経路を模式的に示している。図20（D）は、信号電流I<sub>data</sub>を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図20（E）は、信号電流I<sub>data</sub>を電流源回路に書き込むときに容量素子46に蓄積される電圧、つまりトランジスタ43、44のゲート・ソース間電圧と時間の関係を示している。また図20（A）～図20（C）に示す回路図において、41はビデオ  
25 信号用定電流源、スイッチ42はスイッチング機能を有する半導体素子、43、44はトランジスタ（nチャネル型）、46は容量素子、47は画素である。本実施

の形態では、スイッチ 4 2 と、トランジスタ 4 3、4 4 と、容量素子 4 6 とが電流源回路 2 5 に相当する電気回路とする。なお図 2 0 (A) には引き出し線と符号が付いており、図 2 0 (B)、(C) において引き出し線と符号は図 2 0 (A) に準ずるので図示は省略する。

- 5      nチャネル型のトランジスタ 4 3 のソース領域は  $V_{ss}$  に接続され、ドレイン領域は定電流源 4 1 に接続されている。nチャネル型のトランジスタ 4 4 のソース領域は  $V_{ss}$  に接続され、ドレイン領域は画素 4 7 の端子 4 8 に接続されている。そして容量素子 4 6 の一方の電極は  $V_{ss}$  (トランジスタ 4 3 及び 4 4 のソース) に接続され、他方の電極はトランジスタ 4 3 及びトランジスタ 4 4 のゲート電極に接続され
- 10      ている。容量素子 4 6 は、トランジスタ 4 3 及びトランジスタ 4 4 のゲート・ソース間電圧を保持する役目を担う。

- なお実際には、電流源回路 2 5 は信号線駆動回路に設けられている。そして信号線駆動回路に設けられた電流源回路 2 5 から、信号線や画素が有する回路素子等を介して発光素子に信号電流  $I_{data}$  に応じた電流が流れる。しかし図 2 0 は、ビデオ
- 15      信号用定電流源 4 1、電流源回路 2 5 及び画素 4 7 との関係の概略を説明するための図であるので、詳しい構成の図示は省略する。

- 図 2 0 の電流源回路 2 5 では、トランジスタ 4 3 及びトランジスタ 4 4 のサイズが重要となる。そこでトランジスタ 4 3 及びトランジスタ 4 4 のサイズが、同じ場合と異なる場合について、符号を分けて説明する。図 2 0 (A) ~ 図 2 0 (C) に
- 20      おいて、トランジスタ 4 3 及びトランジスタ 4 4 のサイズが同じ場合には、信号電流  $I_{data}$  を用いて説明する。そしてトランジスタ 4 3 及びトランジスタ 4 4 のサイズが異なる場合には、信号電流  $I_{data1}$  と信号電流  $I_{data2}$  を用いて説明する。なおトランジスタ 4 3 及びトランジスタ 4 4 のサイズは、それぞれのトランジスタの  $W$  (ゲート幅) /  $L$  (ゲート長) の値を用いて判断される。

- 25      最初に、トランジスタ 4 3 及びトランジスタ 4 4 のサイズが同じ場合について説明する。そしてまず信号電流  $I_{data}$  を電流源回路 2 0 に保持する動作を図 2 0 (A)、

(B)を用いて説明する。図20(A)において、スイッチ42がオンになると、ビデオ信号用定電流源41で信号電流  $I_{data}$  が設定され、定電流源41から電流源回路25の方向に電流が流れていく。このとき、ビデオ信号用定電流源41からは信号電流  $I_{data}$  が流れているので、図20(A)に示すように電流源回路25内では、電流の経路は  $I_1$  と  $I_2$  に分かれて流れる。このときの関係を図20(D)に示しているが、信号電流  $I_{data} = I_1 + I_2$  の関係であることは言うまでもない。

定電流源41から電流が流れ始めた瞬間には、容量素子46に電荷は保持されていないため、トランジスタ43及びトランジスタ44はオフしている。よって、 $I_2 = 0$  となり、 $I_{data} = I_1$  となる。

10     そして、徐々に容量素子46に電荷が蓄積されて、容量素子46の両電極間に電位差が生じはじめる(図20(E))。両電極間の電位差が  $V_{th}$  になると(図20(E) A点)、トランジスタ43及びトランジスタ44がオンして、 $I_2 > 0$  となる。上述したように  $I_{data} = I_1 + I_2$  であるので、 $I_1$  は次第に減少するが、依然電流は流れている。容量素子46には、さらに電荷の蓄積が行われる。

15     容量素子46の両電極間の電位差は、トランジスタ43及びトランジスタ44のゲート・ソース間電圧となる。そのため、トランジスタ43及びトランジスタ44のゲート・ソース間電圧が所望の電圧、つまりトランジスタ44が  $I_{data}$  の電流を流すことが出来るだけの電圧( $V_{GS}$ )になるまで、容量素子46における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると(図20(E) B点)、電流  
20      $I_2$  は流れなくなり、さらにトランジスタ43及びトランジスタ44は完全にオンしているので、 $I_{data} = I_2$  となる(図20(B))。

次いで、画素に信号電流  $I_{data}$  を入力する動作を図20(C)を用いて説明する。まずスイッチ42をオフにする。容量素子46には前述した動作において書き込まれた  $V_{GS}$  が保持されているため、トランジスタ43及びトランジスタ44はオン  
25     しており、画素47から信号電流  $I_{data}$  に等しい電流が流れる。これにより、画素に信号電流  $I_{data}$  が入力される。このとき、トランジスタ44を飽和領域において

動作するようにしておけば、トランジスタ 4 4 のソース・ドレイン間電圧が変化したとしても、画素において流れる電流は変わりなく流れることができる。

なお図 2 0 (C) のようなカレントミラー回路の場合には、スイッチ 4 2 をオフにしなくても、定電流源 4 1 から供給される電流を用いて画素 4 7 に電流を流すことも出来る。つまり電流源回路 2 0 に対して信号を設定する動作（設定動作）、信号を画素に入力する動作（入力動作）を同時に行うことが出来る。

次いで、トランジスタ 4 3 及びトランジスタ 4 4 のサイズが異なる場合について説明する。電流源回路 2 5 における動作は、上述した動作と同じであるのでここでは説明を省略する。トランジスタ 4 3 及びトランジスタ 4 4 のサイズが異なると、必然的にビデオ信号用定電流源 4 1 において設定される信号電流  $I_{data1}$  と画素 4 7 に流れる信号電流  $I_{data2}$  とは異なる。両者の相違点は、トランジスタ 4 3 及びトランジスタ 4 4 の  $W$ （ゲート幅）/ $L$ （ゲート長）の値の相違点に依存する。

通常はトランジスタ 4 3 の  $W/L$  値を、トランジスタ 4 4 の  $W/L$  値よりも大きくすることが望ましい。これは、トランジスタ 4 3 の  $W/L$  値を大きくすれば、信号電流  $I_{data1}$  を大きくできるからである。この場合、信号電流  $I_{data1}$  で電流源回路を設定するとき、負荷（交差容量、配線抵抗）を充電できるため、素早く設定動作を行うことが可能となる。

図 2 0 (A) ~ 図 2 0 (C) に示した電流源回路 2 5 のトランジスタ 4 3 及びトランジスタ 4 4 は  $n$  チャネル型であったが、勿論電流源回路 2 5 のトランジスタ 4 3 及びトランジスタ 4 4 を  $p$  チャネル型としてもよい。ここで、トランジスタ 4 3 及びトランジスタ 4 4 が  $p$  チャネル型の場合の回路図を図 2 1 に示す。

図 2 1 において、4 1 は定電流源、スイッチ 4 2 はスイッチング機能を有する半導体素子、4 3、4 4 はトランジスタ（ $p$  チャネル型）、4 6 は容量素子、4 7 は画素である。本実施の形態では、スイッチ 4 2 と、トランジスタ 4 3、4 4 と、容量素子 4 6 とが電流源回路 2 6 に相当する電気回路とする。

$p$  チャネル型のトランジスタ 4 3 のソース領域は  $V_{dd}$  に接続され、ドレイン領域

は定電流源 4 1 に接続されている。p チャネル型のトランジスタ 4 4 のソース領域は Vdd に接続され、ドレイン領域は画素 4 7 の端子 4 8 に接続されている。そして容量素子 4 6 の一方の電極は Vdd (ソース) に接続され、他方の電極はトランジスタ 4 3 及びトランジスタ 4 4 のゲート電極に接続されている。容量素子 4 6 は、トランジスタ 4 3 及びトランジスタ 4 4 のゲート・ソース間電圧を保持する役目を担う。

図 2 1 に示す電流源回路 2 6 の動作は、電流の流れる方向が異なる以外は、図 2 0 (A) ~ 図 2 0 (C) と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ 4 3、トランジスタ 4 4 の極性を変えた電流源回路を設計する場合には、図 7 (B) 図 3 2 に示す回路図を参考にすればよい。

以上をまとめると、図 1 9 の電流源回路では、定電流源で設定される信号電流 I data と同じ大きさの電流が画素に流れる。言い換えると、定電流源において設定された信号電流 I data と、画素に流れる電流は値が同じであり、電流源回路に設けられたトランジスタの特性バラツキの影響は受けない。

また図 1 9 の電流源回路及び図 6 (B) などでは、設定動作を行う期間においては、電流源回路から画素に信号電流 I data を出力することは出来ない。そのため、1 本の信号線ごとに 2 つの電流源回路を設けて、一方の電流源回路に信号を設定する動作 (設定動作) を行い、他方の電流源回路を用いて画素に I data を入力する動作 (入力動作) を行うことが好ましい。

ただし、設定動作と入力動作を同時に行わない場合は、各列に 1 つの電流源回路を設けるだけでもよい。なお、図 2 8 (A)、図 2 9 (A) の電流源回路は、図 1 9 の電流源回路と、接続や電流が流れる経路が異なる以外は、同様である。図 3 1 (A) の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大きさが異なること以外は、同様である。また、図 6 (B)、図 2 9 (B) の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大き

さが異なること以外は、同様である。つまり、図 3 1 (A) では、トランジスタのゲート幅  $W$  が設定動作時と入力動作時で異なり、図 6 (B)、図 2 9 (B) では、トランジスタのゲート長  $L$  が設定動作時と入力動作時とで異なるだけで、それ以外は図 1 9 の電流源回路と同様の構成である。

- 5      一方図 2 0、2 1 の電流源回路では、定電流源において設定された信号電流  $I_{data}$  と、画素に流れる電流の値は、電流源回路に設けられた 2 つのトランジスタのサイズに依存する。つまり電流源回路に設けられた 2 つのトランジスタのサイズ ( $W$  (ゲート幅) /  $L$  (ゲート長)) を任意に設計して、定電流源において設定された信号電流  $I_{data}$  と、画素に流れる電流を任意に変えることが出来る。但し、2 つ
- 10    のトランジスタのしきい値や移動度などの特性にバラツキが生じている場合には、正確な信号電流  $I_{data}$  を画素に出力することが難しい。

- また図 2 0、2 1 の電流源回路では、設定動作を行う期間に画素に信号を入力することは可能である。つまり、信号を設定する動作 (設定動作)、信号を画素に入力する動作 (入力動作) を同時に行うことが出来る。そのため図 1 9 の電流源回路
- 15    のように、1 本の信号線に 2 つの電流源回路を設ける必要はない。

上記構成を有する本発明は、T F T の特性バラツキの影響を抑制し、所望の電流を外部に供給することができる。

(実施の形態 2)

- 図 6 (A) のような回路 (および図 1 9、図 3 1 (A)、図 6 (B)、図 2 9 (B)
- 20    など) では、1 本の信号線ごと (各列) に 2 つの電流源回路を設けて、一方の電流源回路に信号を設定する動作 (設定動作) を行い、他方の電流源回路を用いて画素に  $I_{data}$  を入力する動作 (入力動作) を行うことが好ましいことは上述した。これは、設定動作と入力動作とを同時に行うことが出来るためである。そこで本実施の形態では、本発明の信号線駆動回路に具備される図 2 に示した電流源回路 4 2 0 の
- 25    回路構成の例について図 8 を用いて説明する。

本発明では端子 a から入力される設定信号とは論理演算子の出力端子から入力

される信号を示す。つまり図1における設定信号とは、論理演算子の出力端子から入力される信号に相当する。そして本発明では、論理演算子の出力端子から入力される信号に合わせて、電流源回路420の設定を行う。

前記論理演算子の2つの入力端子には、一方にはシフトレジスタからのサンプリングパルスが入力され、他方にはラッチパルスが入力される。論理演算子では、入力された2つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路では、前記論理演算子の出力端子から入力される信号によって、設定動作又は入力動作を行う。

電流源回路420は、端子aから入力される設定信号により制御され、端子bからは供給される信号電流が入力され、該信号電流（ビデオ信号用電流）に比例した電流を端子cより出力する。

図8（A）において、スイッチ134～スイッチ139と、トランジスタ132（nチャンネル型）と、該トランジスタ132のゲート・ソース間電圧VGSを保持する容量素子133とを有する回路が第1電流源回路421又は第2電流源回路422に相当する。

第1電流源回路421又は第2電流源回路422では、端子aを介して入力される信号によってスイッチ134、スイッチ136がオンとなる。また端子dを介して制御線から入力される信号によってスイッチ135、スイッチ137がオンとなる。そうすると、電流線に接続されたビデオ信号用定電流源109から端子bを介して電流（ビデオ信号用電流）が供給され、容量素子133に電荷が保持される。そして定電流源109から流される信号電流  $I_{data}$  がトランジスタ132のドレイン電流と等しくなるまで、容量素子133に電荷が保持される。

次いで、端子a、dを介して入力される信号により、スイッチ134～スイッチ137をオフにする。そうすると、容量素子133に所定の電荷が保持されているため、トランジスタ132は、信号電流  $I_{data}$  の大きさの電流を流す能力をもつことになる。そして仮にスイッチ101、スイッチ138、スイッチ139が導通状

態になると、端子 c を介して信号線に接続された画素に電流が流される。このとき、トランジスタ 1 3 2 のゲート電圧は、容量素子 1 3 3 により所定のゲート電圧に維持されているため、トランジスタ 1 3 2 のドレイン領域には信号電流  $I_{data}$  に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキの影響を抑制して、画素において流れる電流の大きさを制御できる。

図 8 (B) において、スイッチ 1 4 4 ~ スwitch 1 4 7 と、トランジスタ 1 4 2 (n チャネル型) と、該トランジスタ 1 4 2 のゲート・ソース間電圧  $V_{GS}$  を保持する容量素子 1 4 3 と、トランジスタ 1 4 8 (n チャネル型) とを有する回路が第 1 電流源回路 4 2 1 又は第 2 電流源回路 4 2 2 に相当する。

第 1 電流源回路 4 2 1 又は第 2 電流源回路 4 2 2 では、端子 a を介して入力される信号によってスイッチ 1 4 4、スイッチ 1 4 6 がオンとなる。また端子 d を介して制御線から入力される信号によってスイッチ 1 4 5、スイッチ 1 4 7 がオンとなる。そうすると、電流線に接続された定電流源 1 0 9 から、端子 b を介して電流が供給され、容量素子 1 4 3 に電荷が保持される。そして定電流源 1 0 9 から流される信号電流  $I_{data}$  がトランジスタ 1 4 2 のドレイン電流と等しくなるまで、容量素子 1 4 3 に電荷が保持される。なおスイッチ 1 4 4、スイッチ 1 4 5 がオンになると、トランジスタ 1 4 8 のゲート・ソース間電圧  $V_{GS}$  が 0 V となるので、自動的にトランジスタ 1 4 8 はオフになる。

次いで、端子 a、d を介して入力される信号により、スイッチ 1 4 4 ~ スwitch 1 4 7 をオフにする。そうすると、容量素子 1 4 3 に信号電流  $I_{data}$  が保持されているため、トランジスタ 1 4 2 は、信号電流  $I_{data}$  に応じたの大きさの電流を流す能力をもつことになる。そして仮にスイッチ 1 0 1 が導通状態になると、端子 c を介して信号線に接続された画素に電流が流される。このとき、トランジスタ 1 4 2 のゲート電圧は、容量素子 1 4 3 により所定のゲート電圧に維持されているため、トランジスタ 1 4 2 のドレイン領域には信号電流  $I_{data}$  に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキの影響



を抑制して、画素において流れる電流の大きさを制御できる。

なおスイッチ 144、145 がオフすると、トランジスタ 126 のゲートとソースは同電位ではなくなる。その結果、容量素子 143 に保持された電荷がトランジスタ 148 の方にも分配され、トランジスタ 148 が自動的にオンになる。ここで、  
5 トランジスタ 142、148 は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ 142、148 はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長  $L$  が異なることになる。従って、設定動作時に端子 b から供給される電流値は、入力動作時に端子 c から供給される電流値よりも大きくすることが出来る。そのため、端子  
10 b とビデオ用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

ここで、図 8 (A) は、図 6 (A) に対して、端子 d を追加した構成に相当する。図 8 (B) は、図 6 (B) に対して、端子 d を追加した構成に相当する。このよう  
15 に、スイッチを直列に追加して修正することにより、端子 d を追加した構成に変形している。なお、図 2 の第 1 電流源回路 421 又は第 2 電流源回路 422 には、2 つのスイッチを直列に配置することで、図 6、7、図 28、図 29、図 31 などに示した電流源回路の構成を任意に用いることができる。

なお図 2 では、1 本の信号線ごとに第 1 電流源回路 421 又は第 2 電流源回路 4  
20 22 の 2 つの電流源回路を有する電流源回路 420 を設けた構成を示したが、本発明はこれに限定されない。例えば、1 本の信号線ごとに 3 つの電流源回路 420 を設けてもよい。そして各電流源回路 420 には異なる  $r$  定電流源 109 から信号電流を設定するようにしてもよい。例えば、1 つの電流源回路 420 には、1 ビット用のビデオ信号用定電流源を用いて信号電流を設定し、1 つの電流源回路 420 に  
25 は、2 ビット用のビデオ信号用定電流源を用いて信号電流を設定し、1 つの電流源回路 420 には、3 ビット用のビデオ信号用定電流源を用いて信号電流を設定する

ようにしてもよい。

本実施の形態は、実施の形態 1 と自由に組み合わせることが可能である。つまり、図 4、図 5、図 2 6、図 2 7 に示すように、各列に 1 つの電流源回路が配置されていたところを、図 2 に示すように図 6 (A) の電流源回路を各列に 2 つ配置してもよい。そうすると、例えば図 2 において電流源回路 4 2 1 から供給される電流が 4. 9 A として、電流源回路 4 2 2 から供給される電流を 5. 1 A とすると、フレーム毎に電流源回路 4 2 1 及び電流源回路 4 2 2 のどちらか一方から電流が供給されるようにすることによって、電流源回路のバラツキを平均化することが出来る。

本実施の形態は、実施の形態 1 と自由に組み合わせることが可能である。

#### 10 (実施の形態 3)

本実施の形態では、本発明の信号線駆動回路が具備される発光装置の構成について図 1 5 を用いて説明する。

本発明の発光装置は、基板 4 0 1 上に、複数の画素がマトリクス状に配置された画素部 4 0 2 を有し、画素部 4 0 2 の周辺には、信号線駆動回路 4 0 3、第 1 の走査線駆動回路 4 0 4 及び第 2 の走査線駆動回路 4 0 5 を有する。図 1 5 (A) においては、信号線駆動回路 4 0 3 と、2 組の走査線駆動回路 4 0 4、4 0 5 を有しているが、本発明はこれに限定されない。駆動回路の個数は、画素の構成に応じて任意に設計することができる。また信号線駆動回路 4 0 3 と、第 1 の走査線駆動回路 4 0 4 及び第 2 の走査線駆動回路 4 0 5 には、F P C 4 0 6 を介して外部より信号が供給される。

第 1 の走査線駆動回路 4 0 4 及び第 2 の走査線駆動回路 4 0 5 の構成について図 1 5 (B) を用いて説明する。第 1 の走査線駆動回路 4 0 4 及び第 2 の走査線駆動回路 4 0 5 は、シフトレジスタ 4 0 7、バッファ 4 0 8 を有する。動作を簡単に説明すると、シフトレジスタ 4 0 7 は、クロック信号 (G-CLK)、スタートパルス (S-SP) 及びクロック反転信号 (G-CLKb) に従って、順次サンプリングパルスを出力する。その後バッファ 4 0 8 で増幅されたサンプリングパルスは、走査線に入

力されて1行ずつ選択状態にしていく。そして選択された走査線によって、制御される画素には、順に信号線から信号電流 I data が書き込まれる。

なおシフトレジスタ407と、バッファ408の間にはレベルシフト回路を配置した構成にしてもよい。レベルシフト回路を配置することによって、電圧振幅を大きくすることが出来る。

信号線駆動回路403の構成については以下に後述する。また本実施の形態は、実施の形態1、2と自由に組み合わせることが可能である。

(実施の形態4)

本実施の形態では、図15(A)に示した信号線駆動回路403の構成とその動作について説明する。本実施の形態では、アナログ階調表示又は1ビットのデジタル階調表示を行う場合に用いる信号線駆動回路403について図3(A)、図4を用いて説明する。

図3(A)には、アナログ階調表示又は1ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、シフトレジスタ418、ラッチ回路419を有する。

動作を簡単に説明するとシフトレジスタ418は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK)、スタートパルス(S-SP)、クロック反転信号(S-CLKb)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

シフトレジスタ418より出力されたサンプリングパルスは、ラッチ回路419に入力される。ラッチ回路419には、ビデオ信号(アナログビデオ信号又はデジタルビデオ信号)が入力されて、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

なおビデオ線には、ビデオ信号用定電流源109が接続されている。そして前記ビデオ信号用定電流源109で設定された信号電流(ビデオ信号に相当)をラッチ回路419において保持する。

またラッチ回路 4 1 9 にはラッチパルスが入力されラッチ回路 4 1 9 に保持されていたビデオ信号は、信号線に接続された画素に入力される。ラッチ回路 4 1 9 は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。

次いでラッチ回路 4 1 9 の構成を図 4 を用いて説明する。図 4 には、 $i$  列目から  
5    ( $i + 2$ ) 列目の 3 本の信号線の周辺の信号線駆動回路 4 0 3 の概略を示す。

ラッチ回路 4 1 9 は、列ごとにスイッチ 4 3 5、スイッチ 4 3 6、電流源回路 4 3 7、電流源回路 4 3 8 及びスイッチ 4 3 9 を有する。スイッチ 4 3 5 はシフトレジスタ 4 1 8 から入力されるサンプリングパルスによって制御される。またスイッチ 4 3 6、スイッチ 4 3 9 はラッチパルスにより制御される。

10    なおスイッチ 4 3 6 とスイッチ 4 3 9 には互いに反転した信号が入力される。その結果、電流源回路 4 3 7 及び電流源回路 4 3 8 は、一方では設定動作を行い、他方では入力動作を行う。

つまり、電流源回路 4 3 7 が設定動作をしているときに、同時に、電流源回路 4 3 8 は、画素へ信号電流を出力し、入力動作を行っている。このように、電流源回路  
15    の設定動作と入力動作とを同時にできるため、設定動作に時間をかけて、正確に行うことができる。

従って、線順次駆動を行うことが可能となる。

なお、ビデオ線 (video data 線) から供給される信号電流は、ビデオ信号に依存した大きさを持っている。したがって、画素へ供給される電流は、信号電流に比  
20    例した大きさであるため、画像 (階調) を表現することが可能となる。

電流源回路 4 3 7 及び電流源回路 4 3 8 は、端子 a を介して入力される信号により制御される。また電流源回路 4 3 7 及び電流源回路 4 3 8 には、端子 b を介してビデオ線 (電流線) に接続されたビデオ信号用定電流源 1 0 9 を用いて設定された電流 (信号電流  $I_{data}$ ) が保持される。そして電流源回路 4 3 7 及び電流源回路 4  
25    3 8 と信号線に接続された画素との間にはスイッチ 4 3 9 が設けられており、前記スイッチ 4 3 9 のオン又はオフは、ラッチパルスにより制御される。

そして、1ビットのデジタル階調表示を行う場合、ビデオ信号が明信号のときには、電流源回路437又は電流源回路438から画素に信号電流 I data が出力される。反対にビデオ信号が暗信号のときには、電流源回路437又は電流源回路438は、電流を流す能力を有していないので、画素へ電流は流れない。また、アナログ階調表示を行う場合、ビデオ信号に応じて、電流源回路433から画素に信号電流 I data が出力される。つまり電流源回路437及び電流源回路438は、一定電流を流す能力（VGS）をビデオ信号により制御されており、画素へ出力する電流の大きさにより明るさが制御される。

本発明では端子 a から入力される設定信号とは論理演算子の出力端子から入力される信号を示す。つまり図1における設定信号とは、論理演算子の出力端子から入力される信号に相当する。そして本発明では、論理演算子の出力端子から入力される信号に合わせて、電流源回路420の設定を行う。

前記論理演算子の2つの入力端子には、一方にはシフトレジスタからのサンプリングパルスが入力され、他方にはラッチパルスが入力される。論理演算子では、入力された2つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路では、前記論理演算子の出力端子から入力される信号によって、設定動作又は入力動作を行う。

電流源回路437及び電流源回路438には、図6、7、図29、図28、図31などに示した電流源回路の回路構成を自由に用いることが出来る。各電流源回路は、全て一つの方式のみを用いるだけでなく、複数を採用してもよい。

また図4では、ビデオ信号用定電流源109から、ラッチ回路に対して1列ずつ設定動作を行っているが、これに限定されない。図33に示すように、同時に複数列で設定動作を行うこと、つまり、多相化させてもよい。図33には、ビデオ信号用定電流源109が2個配置されているが、この2個のビデオ信号用定電流源に対しても別に配置したビデオ信号用定電流源から設定動作を行ってもよい。

以下には、図4において、電流源回路437及び電流源回路438に用いる方式

の組合せの例と、その利点について述べる。

まず、電流源回路 4 3 7 及び電流源回路 4 3 8 に図 6 (A) のような回路を採用した場合について説明する。図 6 (A) のような回路の電流源回路を用いると、配置するトランジスタの個数を少なく出来るのでトランジスタの特性バラツキの影響をさらに抑制することが出来る。つまり、設定動作を行うトランジスタと入力動作を行うトランジスタとが、同一のトランジスタであるため、トランジスタ間のばらつきの影響を全く受けない。しかしながら、設定動作を行う時の電流を大きくできないため、設定動作をより早く行うことができない。なお、設定動作の時の電流とは、ビデオ信号用定電流源 1 0 9 からラッチ回路に供給される電流に相当する。

10 この場合の回路図を、図 3 4 に示す。

なお、図 3 4 では、画素から信号線を通して、電流源回路の方に向かって、電流が流れていた。しかし、この電流の向きは、画素の構成によって、変わる。そこで、図 3 5 には、電流源回路から画素の方へ電流が流れる場合の回路図を示す。

15 このように、トランジスタの極性を変えることにより、電流の向きが異なる場合の回路を構成することができる。もしくは、図 6 (A) の代わりに、図 7 (A) の回路を用いることにより、トランジスタの極性を変えずに、電流の向きが異なる場合の回路を構成することもできる。

次いで、電流源回路 4 3 7 及び電流源回路 4 3 8 に図 6 (C) のようなカレントミラー回路を採用した場合について図 3 6 を用いて説明する。

20 図 6 (C) のようなカレントミラー回路の 2 つのトランジスタにおいて、ビデオ信号用定電流源 1 0 9 に接続されている方のトランジスタに比べて、画素に接続されている方のトランジスタの  $W$  (ゲート幅) /  $L$  (ゲート長) 値を小さくすると、ビデオ信号用定電流源 1 0 9 から供給される電流値を大きくすることが出来る。

つまり、設定動作を行う方のトランジスタの  $W/L$  を、入力動作を行う方のトランジスタの  $W/L$  よりも大きくする。すると、設定動作を行うための電流、すなわち、ビデオ信号用定電流源 1 0 9 からラッチ回路に流れる電流を、大きくすることがで

きる。電流が大きいと、配線などに付随する配線交差容量などに電荷を素早く充電できるため、素早く、定常状態にすることができる。よって、設定動作をより早く行うことができる。

なお、図6（C）のようなカレントミラー回路においては、ゲート電極が共通あるいは電氣的に接続されているトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、前記トランジスタのソース端子やドレイン端子から出力される電流もばらついてしまう。しかし、前記2つのトランジスタの特性がそろっていれば、そこから出力される電流はばらつかない。逆に言うと、出力される電流がばらつかないようにするには、前記2つのトランジスタの特性がそろっていればよい。つまり、図6（C）のようなカレントミラー回路において、ゲート電極が共通である2つのトランジスタ間で、特性がそろっていればよい。ゲート電極が共通ではないトランジスタ間では、特性がそろっている必要はない。なぜなら、各々の電流源回路に対して、設定動作が行われるからである。つまり、設定動作の対象となったトランジスタと、入力動作の時に使用されるトランジスタとが、同じ特性になっていればよい。ゲート電極が共通ではないトランジスタ間で、特性がそろっていなくても、設定動作によって、各々の電流源回路に対して設定が行われるので、特性ばらつきは補正される。

通常、図6（C）のようなカレントミラー回路において、ゲート電極が共通である2つのトランジスタは、2つのトランジスタの特性のばらつきを押さえるため、近接して配置される。

図36において、例えば画素に与える電流の大きさをPとする。そして仮に、電流源回路（電流源回路437、438）における図6（C）のようなカレントミラー回路の2つのトランジスタにおいて、画素に接続された方のトランジスタのW/L値を $W_a$ とすると、ビデオ信号線に接続された方のトランジスタのW/L値を $(2 \times W_a)$ にする。そうすると電流源回路（電流源回路437、438）において電流値が2倍になる。そうすると、ビデオ信号用定電流源109からは、 $(2 \times P)$

の電流が供給されることになる。そうすると、ビデオ信号用定電流源 109 から供給される電流を大きくできるため、電流源回路（電流源回路 437、438）の設定動作を素早く正確に行うことが出来る。

以上をまとめると、電流源回路に図 6（C）のようなカレントミラー回路を採用し、さらに  $W/L$  値を適当な値に設定することにより、ビデオ信号用定電流源 109 から供給する電流を大きくすることが出来る。そしてその結果、電流源回路の設定動作を正確に行うことが出来る。

つまり、電流が大きいと、配線に寄生する交差容量などに、電荷を素早く充電できるため、素早く、定常状態にすることができる。定常状態になれば、設定動作を十分に行うことができていることになる。ある期間内に設定動作をおこなう場合、電流が大きいと、素早く定常状態にすることができるため、設定動作を十分におこなうことができる。電流が小さいと、定常状態になる前に、設定動作を行う期間が終了してしまう。その場合は、十分な時間がなかったため、正確に設定動作を行えていないことになる。よって、電流が大きいと、電流源回路の設定動作を素早く、正確に行うことができる。

ただし、図 6（C）のようなカレントミラー回路においては、ゲート電極が共通であるトランジスタを少なくとも 2 つ有しており、前記 2 つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。

しかし、トランジスタのチャネル幅  $W$  とチャネル長  $L$  の比率  $W/L$  を、前記 2 つのトランジスタ間で異なる値に設定することにより、電流の大きさを変えることができる。通常は、設定動作の時の電流を大きくする。その結果、素早く設定動作をすることができる。

なお、設定動作の時の電流とは、ビデオ信号用定電流源 109 から供給される電流に相当する。

一方、図 6（A）のような回路を用いる場合は、設定動作の時に流れる電流と、入力動作の時に流れる電流とは、ほぼ等しい。そのため、設定動作を行うための電



流を大きくすることはできない。しかし、設定動作を行う時に電流を供給するトランジスタと、入力動作を行う時に電流を供給するトランジスタとは、同一のトランジスタである。よって、トランジスタ間のばらつきの影響は、全く受けない。したがって、ラッチ回路において、設定動作を行う時の電流を大きくしたい部分には図 5 6 (C) のようなカレントミラー回路を用いて、より正確な電流を出力したい部分では図 6 (A) のような回路を用いるというように、適宜組み合わせて用いるのが望ましい。

このように、下位ビット (1 ビット目) 用の電流源回路において、図 6 (C) のようなカレントミラー回路を用い、上位ビット (2 ビット目) 用の電流源回路において、図 6 (A) のような回路を用いた場合の回路図を、図 4 8 に示す。

なお、単なるスイッチとして動作させるトランジスタは、極性はどちらでもよい。

図 4 では、図 3 (A) の回路において、図 2 の回路を適用した場合について述べた。続いて、図 3 7 には、図 3 (A) の回路において、図 1 の回路を適用した場合について述べる。

15 図 3 7 (A) において、ビデオ線から供給されるビデオ信号 (信号電流) は、電流源回路に供給される。そして、電流源回路の設定動作は、シフトレジスタ 4 1 8 から供給されるサンプリングパルスのタイミングに従って行われる。例えば図 3 7 (A) の構成を有する場合には、電流源回路の設定動作が終わった後、入力動作 (画素への電流の出力) を開始する。よって、1 列ずつ順に電流源回路の設定動作を行い、次いで入力動作を行うことにより、点順次駆動を実現することができる。

図 3 7 (A) では、アナログ階調表示又は 1 ビットのデジタル階調の場合を示し、図 3 8 には、2 ビットのデジタル階調の場合を示す。

また、図 3 9 には、図 3 8 の回路に、図 6 (A) の回路を適用した場合の回路を示す。図 4 0 には、図 3 8 の回路に、図 6 (C) の回路を適用した場合の回路を示す。さらに、図 4 1 には、1 ビット用の電流源回路には図 6 (C) の回路を適用し、2 ビット用の電流源回路には図 6 (A) の回路を適用した場合の回路を示す。図 4

1の回路の場合、1ビット用の電流源回路のW/Lを変えることにより、ビデオ信号用電流の大きさを大きくする。その結果、2ビット用の電流源回路の場合と同程度の期間で、設定動作を行うことができる。

- しかしながら、1列目から最終列目まで順番に選択される場合、最初の方の列では、画素に信号を入力する期間が長い。一方、最後の方の列では、ビデオ信号を入力しても、すぐに、次の行の画素が選択されてしまう。その結果、画素に信号を入力する期間が短くなってしまう。そのような場合、図37(B)に示すように、画素部402に配置された走査線を中央で分断することにより、画素に信号を入力する期間を長くすることができる。その場合、画素部402の左側と右側に各1個の走査線駆動回路を配置し、該走査線駆動回路を用いて画素を駆動する。このようにすると、同じ行に配置されている画素でも、右側の画素と左側の画素とでは、信号を入力する期間をずらすことができる。図37(C)には、1、2行目の右側と左側に配置された走査線駆動回路の出力波形と、シフトレジスタ411のスタートパルス(S-SP)を示す。図37(C)に記載の波形のように動作させることにより、左側の画素でも、画素に信号を入力する期間を長くすることができるため、点順次駆動を行いやすくなる。

また、本発明の信号線駆動回路において、ラッチに配置された電流源回路について、レイアウト図を図49に、対応した回路図を図50に示す。

なお本実施の形態は、実施の形態1～3と自由に組み合わせることが可能である。

## 20 (実施の形態5)

本実施の形態では、図15(A)に示した信号線駆動回路403の詳細な構成とその動作について説明するが、本実施の形態では、2ビットのデジタル階調表示を行う場合に用いる信号線駆動回路403について図3(B)、図5、図26を用いて説明する。

- 図3(B)には、2ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、シフトレジスタ418、ラッ

チ回路 4 1 9 を有する。

動作を簡単に説明すると、シフトレジスタ 4 1 8 は、フリップフロップ回路 (FF) 等を複数列用いて構成され、クロック信号 (S-CLK)、スタートパルス (S-SP)、クロック反転信号 (S-CLKb) が入力される。これらの信号のタイミングに従って、

5 順次サンプリングパルスが出力される。

シフトレジスタ 4 1 8 より出力されたサンプリングパルスは、ラッチ回路 4 1 9 に入力される。ラッチ回路 4 1 9 には、2 ビットのデジタルビデオ信号 (Digital Data 1、Digital Data 2) が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

10 1 ビットのデジタルビデオ信号は、1 ビット用のビデオ信号用定電流源 1 0 9 に接続された電流源から入力される。また 2 ビットのデジタルビデオ信号は、2 ビット用のビデオ信号用定電流源 1 0 9 に接続された電流源から入力される。そして 1 ビット用、2 ビット用のビデオ信号用定電流源 1 0 9 で設定された信号電流 (ビデオ信号に相当) をラッチ回路 4 1 9 において保持する。

15 またラッチ回路 4 1 9 には、ラッチパルスが入力され、ラッチ回路 4 1 9 に保持されていた 2 ビットのデジタルビデオ信号 (Digital Data 1、Digital Data 2) は、信号線に接続された画素に入力される。なおラッチ回路 4 1 9 は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。

次いでラッチ回路 4 1 9 の構成を図 5 を用いて説明する。図 5 には、 $i$  列目から  
20 ( $i + 1$ ) 列目の 2 本の信号線の周辺の 2 ビットのデジタル階調表示を行う信号線駆動回路 4 0 3 の概略を示す。また同様に、図 2 6 には、 $i$  列目から ( $i + 1$ ) 列目の 2 本の信号線の周辺の 2 ビットのデジタル階調表示を行う信号線駆動回路の概略を示す。

なお図 5 では、各ビットに対応したビデオ信号用定電流源 1 0 9 が配置された場  
25 合について示す。

図 5 において、ラッチ回路 4 1 9 は、列ごとにスイッチ 4 3 5 a、スイッチ 4 3

6 a、電流源回路 4 3 7 a、電流源回路 4 3 8 a 及びスイッチ 4 3 9 a を有する。  
また列ごとにスイッチ 4 3 5 b、スイッチ 4 3 6 b、電流源回路 4 3 7 b、電流源回路 4 3 8 b 及びスイッチ 4 3 9 b を有する。

5        スイッチ 4 3 5 a、スイッチ 4 3 5 b はシフトレジスタ 4 1 8 から入力されるサンプリングパルスによって制御される。またスイッチ 4 3 6 a、スイッチ 4 3 9 a、スイッチ 4 3 6 b 及び 4 3 9 b はラッチパルスにより制御される。

      なおスイッチ 4 3 6 a とスイッチ 4 3 9 a には互いに反転した信号が入力される。その結果、電流源回路 4 3 7 a 及び電流源回路 4 3 8 a は、一方では設定動作を行い、他方では入力動作を行う。またスイッチ 4 3 6 b とスイッチ 4 3 9 b には  
10    互いに反転した信号が入力される。その結果、電流源回路 4 3 7 b 及び電流源回路 4 3 8 b は、一方では設定動作を行い、他方では入力動作を行う。

      つまり、電流源回路 4 3 7 が設定動作をしているときに、同時に、電流源回路 4 3 8 は、画素へ信号電流を出力し、入力動作を行っている。このように、電流源回路の設定動作と入力動作とを同時にできるため、設定動作に時間をかけて、正確に  
15    行うことができる。

      なお、ビデオ線（video data 線）から供給される信号電流は、ビデオ信号に依存した大きさを持っている。したがって、画素へ供給される電流は、信号電流に比例した大きさであるため、画像を表現することが可能となる。

      従って、線順次駆動を行うことが可能となる。

20    なお図 5 において、電流線とビデオ信号用定電流源は、各ビットに対応して配置されている。各ビットの電流源から供給される電流値の合計が、信号線に供給される。つまり、定電流源回路は、デジタル-アナログ変換の機能も有する。

      各電流源回路（電流源回路 4 3 7 a、4 3 8 a、4 3 7 b、4 3 8 b）は、端子 a、端子 b 及び端子 c を有する。各電流源回路（電流源回路 4 3 7 a、4 3 8 a、  
25    4 3 7 b、4 3 8 b）は、端子 a を介して入力される信号により制御される。また、端子 b を介してビデオ線に接続されたビデオ信号用定電流源 1 0 9 を用いて設定

された電流（信号電流 I data）が保持される。また 1 ビット用の定電流源 1 0 9 において設定された電流は、電流源回路 4 3 7 a 及び電流源回路 4 3 8 a により保持される。また 2 ビット用の定電流源 1 0 9 において設定された電流は、電流源回路 4 3 7 b 及び電流源回路 4 3 8 b により保持される。そして各電流源回路（電流源  
5 回路 4 3 7 a、4 3 8 a、4 3 7 b、4 3 8 b）と信号線に接続された画素との間にはスイッチ 4 3 9 a 及びスイッチ 4 3 9 b が設けられており、前記スイッチ 4 3 9 a 及びスイッチ 4 3 9 b のオン又はオフはラッチパルスにより制御される。

そして、デジタルビデオ信号が明信号のときには、各電流源回路（電流源回路 4 3 7 a、4 3 8 a、4 3 7 b、4 3 8 b）から画素へ信号電流が出力される。反対  
10 にビデオ信号が暗信号のときには、各電流源回路（電流源回路 4 3 7 a、4 3 8 a、4 3 7 b、4 3 8 b）は、電流を流す能力を有していないので画素への電流は流れない。つまり各電流源回路（電流源回路 4 3 7 a、4 3 8 a、4 3 7 b、4 3 8 b）は、一定電流を流す能力（V G S）をビデオ信号により制御され、画素へ出力する電流の大きさをを用いて明るさが制御される。

15 なお、1 ビット用の電流源回路 4 3 7 a 及び電流源回路 4 3 8 a のいずれかと、2 ビット用の電流源回路 4 3 7 b 及び電流源回路 4 3 8 b のいずれかとの合計の電流が、画素および、画素に接続された信号線に流れることになる。

1 ビット用の電流源回路 4 3 7 a 及び電流源回路 4 3 8 a のどちらが設定動作を行い、どちらが入力動作（画素への電流の出力）を行うかは、ラッチパルスにより  
20 制御される。2 ビット用の電流源回路 4 3 7 b 及び電流源回路 4 3 8 b に関しても、同様である。

つまり、各ビットのビデオ信号の電流が足しあわされ、DA 変換の動作が行われるのは、電流源回路 4 3 7 a や電流源回路 4 3 7 b から画素の方へ流れる部分においてである。したがって、そのときに、電流の大きさが、各ビットに対応した電流  
25 値になっていればよい。

次いで、図 2 6 に示す信号線駆動回路の概略について説明する。図 2 6 において、

ラッチ回路は、列ごとにスイッチ 4 3 5 c、スイッチ 4 3 5 d、スイッチ 4 3 6 c、電流源回路 4 3 7 c、電流源回路 4 3 8 c 及びスイッチ 4 3 9 c とを有する。スイッチ 4 3 5 c、スイッチ 4 3 5 d はシフトレジスタ 4 1 8 から入力されるサンプリングパルスによって制御される。またスイッチ 4 3 6 c、4 3 9 c はラッチパルス 5 により制御される。

なおスイッチ 4 3 6 c とスイッチ 4 3 9 c には互いに反転した信号が入力される。その結果、電流源回路 4 3 7 c 及び電流源回路 4 3 8 c は、一方では設定動作を行い、他方では入力動作を行う。また電流源回路 4 3 7 c 及び電流源回路 4 3 8 c は、一方では設定動作を行い、他方では入力動作を行う。

10   つまり、電流源回路 4 3 7 a が設定動作をしているときに、同時に、電流源回路 4 3 8 a は、画素へ信号電流を出力し、入力動作を行っている。このように、電流源回路の設定動作と入力動作とを同時にできるため、設定動作に時間をかけて、正確に行うことができる。

つまり、設定動作を正しく行うためには、定常状態になるまで、設定動作を続け  
15   て行う必要がある。定常状態になると、電流源回路の中のトランジスタ（一定電流を供給するトランジスタ。図 6（A）では、トランジスタ 1 0 2 に相当）のゲート電極には電流が流れず、トランジスタのゲート・ソース間電圧を保持している容量（図 6（A）では、容量素子 1 0 3 に相当）の電位は、変化しなくなる。このような状態になると、設定動作を十分に行えたことになる。つまり、入力動作時に、正  
20   しい大きさの電流を流すことができる。しかし、設定動作を行う時間が短いと、定常状態になる前に、設定動作が終わってしまう可能性がある。その場合は、トランジスタのゲート・ソース間電圧を保持している容量は、正確な電位になっていないことになる。そのため、入力動作時に、正しい大きさの電流を流すことができず、トランジスタの特性のばらつきの影響を受けてしまうことになる。以上のことから、  
25   時間をかけて設定動作を行うと、設定動作を正確に行うことができる。

各電流源回路 4 3 7 c、4 3 8 c は、端子 a、端子 b 及び端子 c を有する。各電

流源回路 4 3 7 c、4 3 8 c は、端子 a を介して入力される信号により制御される。また、端子 b を介してビデオ線に接続されたビデオ信号用定電流源 1 0 9 を用いて設定された電流（信号電流 I data）が保持される。なお 1 ビット用及び 2 ビット用の定電流源 1 0 9 において設定された電流は、電流源回路 4 3 7 a 又は電流源回路 5 4 3 8 a により保持される。そして各電流源回路 4 3 7 a、4 3 8 a と信号線に接続された画素との間にはスイッチ 4 3 9 c が設けられており、前記スイッチ 4 3 9 c のオン又はオフはラッチパルスにより制御される。

そして、デジタルビデオ信号が明信号のときには、各電流源回路 4 3 7 c、4 3 8 c から画素へ信号電流が出力される。反対にビデオ信号が暗信号のときには、各電流源回路 4 3 7 c、4 3 8 c は、電流を流す能力を有していないので画素への電流は流れない。つまり各電流源回路 4 3 7 c、4 3 8 c は、一定電流を流す能力（V G S）をビデオ信号により制御され、画素へ出力する電流の大きさをを用いて明るさが制御される。

そして本発明では端子 a から入力される設定信号とは論理演算子の出力端子から入力される信号を示す。つまり図 1 における設定信号とは、論理演算子の出力端子から入力される信号に相当する。そして本発明では、論理演算子の出力端子から入力される信号に合わせて、電流源回路 4 2 0 の設定を行う。

前記論理演算子の 2 つの入力端子は、一方にはシフトレジスタからのサンプリングパルスが入力され、他方にはラッチパルスが入力される。論理演算子では、入力された 2 つの信号の論理演算を行って、出力端子から信号を出力する。そして電流源回路では、前記論理演算子の出力端子から入力される信号によって、設定動作又は入力動作を行う。

ここで図 5 に示す各電流源回路、図 2 6 に示す各電流源回路に、図 6（A）のような回路を採用した場合について説明する。図 6（A）のような回路の電流源回路を用いると、配置するトランジスタの個数を少なく出来るのでトランジスタの特性バラツキの影響をさらに抑制することが出来る。つまり、設定動作を行うトランジ

スタと入力動作を行うトランジスタとが、同一のトランジスタであるため、トランジスタ間のばらつきの影響を全く受けない。しかしながら、設定動作を行う時の電流を大きくできないため、設定動作をより早く行うことができない。なお、設定動作の時の電流とは、ビデオ信号用定電流源 109 からラッチ回路に供給される電流

5 に相当する。

この場合の回路図を、図 4 2 に示す。

次に、図 5 に示す各電流源回路、図 2 6 に示す各電流源回路に図 6 (C) のようなカレントミラー回路を採用した場合について、図 4 3 を用いて説明する。

図 6 (C) のようなカレントミラー回路の 2 つのトランジスタにおいて、ビデオ

10 信号用定電流源 109 に接続されている方のトランジスタに比べて、画素に接続されている方のトランジスタの  $W$  (ゲート幅) /  $L$  (ゲート長) 値を小さくすると、ビデオ信号用定電流源 109 から供給される電流値を大きくすることが出来る。

つまり、設定動作を行う方のトランジスタの  $W/L$  を、入力動作を行う方のトランジスタの  $W/L$  よりも大きくする。すると、設定動作を行うための電流、すなわち、

15 ビデオ信号用定電流源 109 からラッチ回路に流れる電流を、大きくすることができる。電流が大きいと、配線などに付随する配線交差容量などに電荷を素早く充電できるため、素早く、定常状態にすることができる。よって、設定動作をより早く行うことができる。

なお、図 6 (C) のようなカレントミラー回路においては、ゲート電極が共通あ

20 るいは電氣的に接続されているトランジスタを少なくとも 2 つ有しており、前記 2 つのトランジスタの特性がそろっていれば、前記トランジスタのソース端子やドレイン端子から出力される電流はばらつかない。つまり、出力される電流がばらつかないようにするには、前記 2 つのトランジスタの特性がそろっていればよい。つまり、図 6 (C) のようなカレントミラー回路において、ゲート電極が共通あるいは

25 電氣的に接続されている 2 つのトランジスタ間で、特性がそろっていればよい。ゲート電極が共通あるいは電氣的に接続されていないトランジスタ間では、特性がそ



ろっている必要はない。なぜなら、各々の電流源回路に対して、設定動作が行われるからである。つまり、設定動作の対象となったトランジスタと、入力動作の時に使用されるトランジスタとが、同じ特性になっていればよい。ゲート電極が共通あるいは電氣的に接続されていないトランジスタ間で、特性がそろっていなくても、

5 設定動作によって、各々の電流源回路に対して設定動作が行われるので、特性ばらつきは補正される。

通常、図 6 (C) のようなカレントミラー回路において、ゲート電極が共通あるいは電氣的に接続されている 2 つのトランジスタは、その特性のばらつきを押さえるため、近接して配置される。

10 例えば画素に与える電流の大きさを  $P$  とする。そして仮に、電流源回路におけるカレントミラー回路の 2 つのトランジスタにおいて、画素に接続された方のトランジスタの  $W/L$  値を  $W_a$  とすると、ビデオ信号線に接続された方のトランジスタの  $W/L$  値を  $(2 \times W_a)$  にする。そうすると各電流源回路において電流値が 2 倍になる。そうすると、ビデオ信号用定電流源 109 (1 ビット用、2 ビット用) からは、

15  $(2 \times P)$  又は  $(4 \times P)$  の電流が供給されることになる。そうすると、ビデオ信号用定電流源 109 から供給される電流を大きくできるため、各電流源回路の設定動作を素早く正確に行うことが出来る。

また本実施の形態では、2 ビットのデジタル階調表示を行うので、図 5 においては、1 本の信号線ごとに 4 つの電流源回路 (437a、438a、437b、438b) 図 26 においては 1 本の信号線ごとに 2 つの電流源回路 437c、438c

20 が設けられている。

そして図 5 において各電流源回路 (電流源回路 437a、438a、437b、438b の回路構成と、図 26 に示す各電流源回路 (電流源回路 437c、438c) は、図 6、7、図 29、図 28、図 31 などに示す電流源回路の回路構成を自由

25 に用いることが出来る。各電流源回路 420 は、全て一つの方式のみを用いるだけでなく、複数を採用してもよい。

また、ラッチ回路が有する電流源回路が図6（C）のようなカレントミラー回路である場合、トランジスタの $W$ （ゲート幅）/ $L$ （ゲート長）値を、各ビットによって、変えてもよい。そうすると、下位ビットの電流源回路の設定動作の時の電流、つまり、下位ビットのビデオ信号用定電流源109から流れる電流を、より大きく  
5 することができる。その結果、設定動作を早くすることができる。

つまり、ビデオ信号用定電流源109に接続されている方のトランジスタの $W/L$ を、画素や信号線に接続されている方のトランジスタの $W/L$ よりも大きくする。要するに、設定動作を行う方のトランジスタの $W/L$ を、入力動作を行う方のトランジスタの $W/L$ よりも大きくする。すると、設定動作を行うための電流、すなわち、ビデオ信号用定電流源109から流れる電流を、より大きくすることができる。  
10

ただし、図6（C）のようなカレントミラー回路においては、ゲート電極が共通あるいは電氣的に接続されているトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。しかし、トランジスタのチャネル幅 $W$ とチャネル長 $L$ の比率 $W/L$ を、前記  
15 2つのトランジスタで異なる値に設定することにより、電流の大きさを変えることができる。通常は、設定動作の時の電流を大きくする。その結果、素早く設定動作をすることができる。

なお、設定動作の時の電流とは、ビデオ信号用定電流源109から供給される電流に相当する。

20 一方、図6（A）のような回路を用いる場合は、設定動作の時に流れる電流と、入力動作の時に流れる電流とは、ほぼ等しい。そのため、設定動作を行うための電流を大きくすることはできない。しかし、設定動作を行うときに電流を供給するトランジスタと、入力動作を行うときに電流を供給するトランジスタとは、同一のトランジスタである。よって、トランジスタ間のばらつきの影響は、全く受けない。  
25 したがって、各ラッチ回路において、設定動作を行う時の電流を大きくしたい部分には図6（C）のようなカレントミラー回路を用いて、より正確な電流を出力した

い部分では図6（A）のような回路を用いるというように、適宜組み合わせて用いるのが望ましい。

なお、図6（C）のようなカレントミラー回路においては、ゲート電極が共通あるいは電氣的に接続されているトランジスタを少なくとも2つ有しており、前記2  
5 つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。しかし、前記2つのトランジスタの特性がそろっていれば、前記トランジスタのソース端子やドレイン端子から出力される電流はばらつかない。逆に言うと、出力される電流がばらつかないようにするためには、前記2つのトランジスタの特性がそろっていればよい。つまり、図6（C）のようなカレントミラー回路において、  
10 ゲート電極が共通あるいは電氣的に接続されている2つのトランジスタ間で、特性がそろっていればよい。ゲート電極が共通あるいは電氣的に接続されていないトランジスタ間では、特性がそろっている必要はない。なぜなら、各々の電流源回路に対して、設定動作が行われるからである。つまり、設定動作の対象となったトランジスタと、入力動作の時に使用されるトランジスタとが、同じ特性になっていれば  
15 よい。ゲート電極が共通あるいは電氣的に接続されていないトランジスタ間で、特性がそろっていなくても、設定動作によって、各々の電流源回路に対して設定が行われるので、特性ばらつきは補正される。

通常、図6（C）のようなカレントミラー回路において、ゲート電極が共通あるいは電氣的に接続されている2つのトランジスタは、2つのトランジスタの特性の  
20 ばらつきを押さえるため、近接して配置される。

なお、ラッチ回路が有する電流源回路において、図6（A）のような回路を用いたり、図6（C）のようなカレントミラー回路を用いたりして、混合させて用いてもよい。

なお、図6（C）のようなカレントミラー回路を採用するのは、全てのビット用の電流源回路でもよいし、一部のビット用の電流源回路だけでもよい。より効果的なのは、下位ビット用の電流源回路に対して、図6（C）のようなカレントミラー

回路を用い、上位ビット用の電流源回路に対しては、図6 (A) のような回路を用いるのが望ましい。

なぜなら、上位ビットの電流源回路は、電流源回路のトランジスタの特性がわずかにばらついていても、電流値に与える影響が大きい。同程度にトランジスタの特性がばらついていても、上位ビットの電流源回路から供給される電流は、電流値自体が大きい  
5 ため、ばらつきによる電流の差の絶対値も大きいからである。たとえば、トランジスタの特性が10%ばらついたとする。1ビット目の電流の大きさをIとすると、そのばらつき量は、 $0.1I$ である。一方、3ビットめの電流の大きさは、 $8I$ になるので、そのばらつき量は、 $0.8I$ となる。このように、上位ビットの電流源回  
10 路は、トランジスタの特性がわずかにばらついていても、その影響が大きく出てしまう。

そのため、できるだけばらつきの影響が出ない方式が望ましい。また、上位ビットの電流は、電流値が大きいので、設定動作を行うのも、容易である。一方、下位ビットの電流は、多少ばらついていても、電流値自体が小さいため、影響が少ない。また、下位ビットの電流は、電流値が小さいので、設定動作を行うのが、容易ではな  
15 い。

この状況を解決するためには、下位ビット用の電流源回路に対して、図6 (C) のようなカレントミラー回路を用い、上位ビット用の電流源回路に対しては、図6 (A) のような回路を用いることが望ましい。

特に、ビデオ信号用定電流源109から流れる電流が小さくなってしまうような  
20 下位ビット用の電流源回路においては、図6 (C) のようなカレントミラー回路を用いて、電流値を大きくすることは、有効である。

つまり、下位ビット用の電流源回路は、その電流源回路から流れる電流値が小さいので、設定動作に時間がかかってしまう。そこで、図6 (C) のようなカレントミラー回路を用いて、電流値を大きくすれば、設定動作にかかる時間を短くするこ  
25 とができるようになる。

また、図6 (C) のようなカレントミラー回路においては、ゲート電極が共通あ

るいは電氣的に接続されているトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。しかし、下位ビット用の電流源回路の場合、画素や信号線に出力する電流値が小さい。そのため、前記2つのトランジスタの特性がばらついていても、その影響は小さい。以上のことから、下位ビット用の電流源回路においては、図6（C）のようなカレントミラー回路を用いることは、効果的である。

以上をまとめると、電流源回路に図6（C）のようなカレントミラー回路を採用し、さらにW/L値を適当な値に設定することにより、ビデオ信号用定電流源109から供給する電流を大きくすることが出来る。そしてその結果、電流源回路の設定動作を正確に行うことが出来る。

ただし、図6（C）のようなカレントミラー回路においては、ゲート電極が共通あるいは電氣的に接続されているトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。

一方、図6（A）のような回路を用いる場合は、設定動作の時に流れる電流を大きくすることはできない。しかし、トランジスタ間のばらつきの影響は、全く受けない。

したがって、各回路において、電流を大きくしたい部分では、図6（C）のようなカレントミラー回路を用い、より正確な電流を出力したい部分では、図6（A）のような回路を用いる、というように、適宜組み合わせる用いるのが望ましい。

なお、単なるスイッチとして動作させるトランジスタは、極性はどちらでもよい。

なお図5において、1ビット用のビデオ信号用定電流源109は、1ビット用のビデオ線（Video data 線）に接続され、2ビット用のビデオ信号用定電流源109は、2ビット用のビデオ線（Video data 線）に接続されている。そして、仮に1ビット用のビデオ信号用定電流源109から供給される電流をIとすると、2ビット用のビデオ信号用定電流源109から供給される電流を2Iとする。しかし、本発

明はこれに限定されず、1ビット用のビデオ信号用定電流源109及び2ビット用のビデオ信号用定電流源109から供給される電流の大きさを同じにすることも出来る。1ビット用のビデオ信号用定電流源109及び2ビット用のビデオ信号用定電流源109から供給される電流の大きさを同じにすると、動作条件や負荷を同じにすることが可能であり、さらに電流源回路に信号を書き込む時間を同じにすることが出来る。

但しそのときには、図5、図26に示す各電流源回路に図6(C)のようなカレントミラー回路を採用する必要がある。そして図5に示す各電流源回路では、電流源回路437a及び電流源回路438aが有するトランジスタと、電流源回路437b及び電流源回路438bが有するトランジスタのW/L値を2:1とする必要がある。そうすると、電流源回路437a及び電流源回路438aから出力される電流の大きさと、電流源回路437b及び電流源回路438bから出力される電流の大きさを2:1とすることが出来る。また図26に示す各電流源回路では、ビデオ信号線に接続されている方のトランジスタと、画素に接続されている方のトランジスタのW/L値を2:1とする必要がある。

なお本実施の形態では、2ビットのデジタル階調表示を行う場合における信号線駆動回路の構成とその動作について説明した。しかし本発明は2ビットに限らず、本実施の形態を参考にして任意のビット数に対応した信号線駆動回路を設計し、任意のビット数の表示を行うことが出来る。また本実施の形態は、実施の形態1~4と自由に組み合わせることが可能である。

(実施の形態6)

図2~図5において示したビデオ信号用定電流源109は、基板上に信号線駆動回路と一体形成してもよいし、ビデオ信号用電流109として、基板の外部からIC等を用いて一定の電流を入力してもよい。そして基板上に一体形成する場合には、図6~8、図29、図28、図31などに示した電流源回路のいずれを用いて形成してもよい。或いは、単に1個のトランジスタを配置して、ゲートに加える電圧に

応じて、電流値を制御するようにしてもよい。本実施の形態では、3ビット用のビデオ信号用電流源109を図6(C)のようなカレントミラー回路の電流源回路で構成する場合について図23～図25を用いて説明する。

5     なお、電流が流れる向きは、画素の構成などにより、変わる。電流の流れる方向を変える場合には、トランジスタの極性を変更することなどにより、容易に対応できる。

図23において、ビデオ信号用定電流源109は、ビデオ線（Video data 線、電流線）へ所定の信号電流 I data を出力するか否かを3ビットのデジタルビデオ信号（Digital Data 1～Digital Data 3）が有する High 又は Low の情報によって制  
10   御される。

ビデオ信号用定電流源109は、スイッチ180～スイッチ182、トランジスタ183～トランジスタ188及び容量素子189を有する。本実施の形態では、トランジスタ180～トランジスタ188は全てnチャネル型とする。

15   スイッチ180は1ビットのデジタルビデオ信号により制御される。スイッチ181は2ビットのデジタルビデオ信号により制御される。スイッチ183は3ビットのデジタルビデオ信号により制御される。

トランジスタ183～トランジスタ185のソース領域とドレイン領域は、一方はVssに接続され、他方はスイッチ180～スイッチ182の一方の端子に接続されている。トランジスタ186のソース領域とドレイン領域は、一方はVssに接続  
20   され、他方はトランジスタ188のソース領域とドレイン領域の一方に接続されている。

トランジスタ187とトランジスタ188のゲート電極には、端子eを介して外部から信号が入力される。また電流線190には端子fを介して外部から電流が供給される。

25   トランジスタ187のソース領域とドレイン領域は、一方はトランジスタ186のソース領域とドレイン領域の一方に接続され、他方は容量素子189の一方の電

極に接続されている。トランジスタ 188 のソース領域とドレイン領域は、一方は電流線 190 に接続され、他方はトランジスタ 186 のソース領域とドレイン領域の一方に接続されている。

容量素子 189 の一方の電極は、トランジスタ 183 ~ トランジスタ 186 のゲート電極に接続され、他方の電極は  $V_{SS}$  に接続されている。容量素子 189 は、トランジスタ 183 ~ トランジスタ 186 のゲート・ソース間電圧を保持する役目を担う。

そしてビデオ信号用定電流源 109 では、端子 e から入力される信号によりトランジスタ 187 及びトランジスタ 188 がオンになると、端子 f から供給される電流が電流線 190 を介して容量素子 189 に流れていく。

そして徐々に容量素子 189 に電荷が蓄積され、両電極間に電位差が生じ始める。そして両電極間の電位差が  $V_{th}$  になると、トランジスタ 183 ~ トランジスタ 186 はオンになる。

容量素子 189 において、その両電極の電位差、つまりトランジスタ 183 ~ トランジスタ 186 のゲート・ソース間電圧が所望の電圧になるまで電荷の蓄積が続けられる。言い換えると、トランジスタ 183 ~ トランジスタ 186 が信号電流を流すことが出来るだけの電圧になるまで、電荷の蓄積が続けられる。

そして電荷の蓄積が終了すると、トランジスタ 183 ~ トランジスタ 186 は完全にオンになる。

そしてビデオ信号用定電流源 109 において、3 ビットのデジタルビデオ信号により、スイッチ 180 ~ スイッチ 182 の導通又は非導通が選択される。例えば、スイッチ 180 ~ スイッチ 182 が全て導通状態になったときは、電流線に供給される電流は、トランジスタ 183 のドレイン電流と、トランジスタ 184 のドレイン電流と、トランジスタ 185 のドレイン電流の総和となる。また、スイッチ 180 のみが導通状態になったときは、トランジスタ 183 のドレイン電流のみが電流線に供給される。



このときトランジスタ183のドレイン電流と、トランジスタ184のドレイン電流と、トランジスタ185のドレイン電流を1:2:4として設定すると、 $2^3 = 8$ 段階で電流の大きさを制御出来る。そのため、トランジスタ183~185のW(チャネル幅)/L(チャネル長)値を、1:2:4として設計すると、それぞれ5のオン電流が1:2:4となる。

なお、図23の構成では、電流線(ビデオ)線が1本の場合について示した。しかし、図4のような回路か、図26のような回路かによって、配置される電流線(ビデオ線)の本数は異なる。そこで、図23の回路において、電流線(ビデオ線)が複数になった場合の図を図44に示す。

10 次いで図23とは異なる構成のビデオ信号用電流源109を図24に示す。図24においては、図23に示すビデオ信号用電流源109と比べて、トランジスタ187、188を除いて、容量素子189の一方の端子を電流線190に接続した構成になっている点以外は、図23に示すビデオ信号用電流源109の動作と同じあるので、本実施の形態では説明は省略する。

15 図24の構成では、ビデオ線(電流線)に電流を供給し続けている間は、端子fより信号(電流)を入力しつづけなければならない。もし、端子fより流れる電流の入力を止めると、容量素子189にある電荷が、トランジスタ186を通して放電されてしまう。その結果、トランジスタ186のゲート電極の電位が小さくなり、トランジスタ183~185から、正常な電流が出力できなくなってしまう。一方、  
20 図23の構成の場合には、容量素子189に所定の電荷が保持されているため、ビデオ線(電流線)に電流を供給している間においても、端子fより信号(電流)を入力し続ける必要はない。よって、図24の構成では、容量素子189は、省略してもよい。

25 なお、図24の構成では、電流線(ビデオ)線が1本の場合について示した。しかし、図4のような回路か、図26のような回路かによって、電流線(ビデオ線)の数は異なる。そこで、図24の回路において、電流線(ビデオ線)が複数になっ

た場合の図を、図 4 5 に示す。

続いて図 2 3、2 4 とは異なる構成のビデオ信号用電流源 1 0 9 を図 2 5 に示す。図 2 5 においては、図 2 3 に示すビデオ信号用電流源 1 0 9 と比べて、トランジスタ 1 8 6、1 8 7、1 8 8 及び容量素子 1 8 9 を除いて、トランジスタ 1 8 3 ～ト  
5 ランジスタ 1 8 5 のゲート電極には端子 f を介して外部から一定の電圧が印加される構成になっている点以外は、図 2 3 に示すビデオ信号用電流源 1 0 9 の動作と同じあるので、本実施の形態では説明は省略する。

図 2 5 の場合は、端子 f から、トランジスタ 1 8 3 ～1 8 5 のゲート電極に電圧（ゲート電圧）を加える。しかし、トランジスタ 1 8 3 ～1 8 5 は、同じゲート電  
10 圧が印加されても、該トランジスタ 1 8 3 ～1 8 5 の特性がばらつけば、該トランジスタ 1 8 3 ～1 8 5 のソース・ドレイン間に流れる電流値もばらつく。したがって、ビデオ線（電流線）に流れる電流もばらつく。また、温度によっても、特性が変化するため、トランジスタ 1 8 3 ～1 8 5 から供給される電流値も変化してしまう。

15 一方、図 2 3、図 2 4 の場合は、端子 f より、電圧を加えることもできるが、電流を加えることもできる。電流で加えた場合、トランジスタ 1 8 3 ～1 8 6 までの特性がそろっていれば、電流値はばらつかなくなる。また、温度によってその特性が変化しても、トランジスタ 1 8 3 ～1 8 6 までの特性が、同程度に変化するため、電流値が変化しなくなる。

20 なお、図 2 5 では、端子 f から、トランジスタ 1 8 3 ～1 8 5 に電圧（ゲート電圧）を加え、その電圧は、ビデオ信号によって変化しない。図 2 5 においては、ビデオ信号は、スイッチ 1 8 0 ～1 8 2 を制御することで、電流が電流線に流れるかどうかを制御する。そこで、図 4 6 のように、トランジスタ 1 8 3 ～1 8 5 のゲート電極に電圧（ゲート電圧）を加え、その電圧は、ビデオ信号によって変化するよ  
25 うにしてもよい。これにより、ビデオ信号用電流の大きさを変えることができる。また、図 4 7 のように、トランジスタ 1 8 3 のゲート電極に加える電圧（ゲート電

圧)をアナログ電圧にして、階調にしたがって、電圧を変化させ、電流を変えるようにしてもよい。

続いて図23、24、25とは異なる構成のビデオ信号用電流源109を図9に示す。図23では、図6(C)の電流源回路を適用していた。図9では、図6(A)5の電流源回路を適用している。

図23の場合、トランジスタ183～186の特性がばらつくと、電流値もばらついてしまう。一方、図9では、各電流源に対して設定動作を行っている。よって、トランジスタのばらつきの影響を小さくすることができる。ただし、図9の場合、設定動作を行っているときには、入力動作(電流線へ電流を供給する動作)を同時10に行うことができない。よって、設定動作は、入力動作を行っていない期間に行う必要がある。入力動作を行っている期間にも設定動作ができるようにするためには、図10のように、複数の電流源回路を配置し、一方の電流源回路が設定動作を行っている時には、もう一方の電流源回路で入力動作を行うようにしてもよい。

なお本実施の形態は、実施の形態1～5と自由に組み合わせることが可能である。

#### 15 (実施の形態7)

本発明の実施の形態について、図11を用いて説明する。図11(A)において、画素部の上方に信号線駆動回路、下方に定電流回路を配置し、前記信号線駆動回路に電流源A、定電流回路に電流源Bを配置する。電流源A、Bから供給される電流を $I_A$ 、 $I_B$ とし、画素に供給される信号電流を $I_{data}$ とすると、 $I_A = I_B + I_{data}$ が成20立する。そして、画素に信号電流を書き込む際には、電流源A、Bの両者から電流を供給するように設定する。このとき、 $I_A$ 、 $I_B$ を大きくすると、画素に対する信号電流の書き込み速度を早くすることができる。

このとき、電流源Aを用いて、電流源Bの設定動作を行う。画素には、電流源Aからの電流から電流源Bの電流を差し引いた電流が流れる。したがって、電流源A25を用いて、電流源Bの設定動作を行うことにより、さまざまなノイズなどの影響をより小さくできる。

図 1 1 (B) において、ビデオ信号用定電流源（以下定電流源と表記）C、Eは、画素部の上方と下方に配置される。そして、電流源C、Eを用いて、信号線駆動回路、定電流回路に配置された電流源回路の設定動作を行う。電流源Dは、電流源C、Eを設定する電流源に相当し、外部からビデオ信号用電流が供給される。

- 5     なお、図 1 1 (B) において、下方に配置してある定電流回路を信号線駆動回路としてもよい。それにより、上方と下方の両方に信号線駆動回路が配置できる。そして、各々、画面（画素部全体）の上下半分ずつの制御を担当する。このようにすることで、同時に 2 行分の画素を制御できる。そのため、信号線駆動回路の電流源、画素、画素の電流源などへの設定動作（信号入力動作）のための時間を長くとること
- 10    とが可能となる。そのため、より正確に設定できるようになる。

本実施の形態は、実施の形態 1 ～ 6 と任意に組み合わせることが可能である。

#### 〈実施例 1〉

- 本実施例では、時間階調方式について図 1 4 を用いて詳しく説明する。通常、液晶表示装置や発光装置等の表示装置においては、フレーム周波数は 6 0 H z 程度
- 15    ある。つまり図 1 4 (A) に示すように、1 秒間に 6 0 回程度の画面の描画が行われる。これにより、人間の眼にフリッカ（画面のちらつき）を感じさせないようにすることが出来る。このとき、画面の描画を 1 回行う期間を 1 フレーム期間と呼ぶ。

- 本実施例では一例として、特許文献 1 の公報にて公開されている時間階調方式を説明する。時間階調方式では、1 フレーム期間を複数のサブフレーム期間に分割する。このときの分割数は、階調ビット数に等しい場合が多い。そしてここでは簡単
- 20    のため、分割数が階調ビット数に等しい場合を示す。つまり本実施例では 3 ビット階調であるので、3 つのサブフレーム期間 S F 1 ～ S F 3 に分割している例を示す（図 1 4 (B)）。

- 各サブフレーム期間は、アドレス（書き込み）期間 T a と、サステイン（発光）
- 25    期間 T s とを有する。アドレス期間とは、画素にビデオ信号を書き込む期間であり、各サブフレーム期間での長さは等しい。サステイン期間とは、アドレス期間におい

て画素に書き込まれたビデオ信号に基づいて発光素子が発光する期間である。このとき、サステイン（発光）期間  $S F 1 \sim S F 3$  は、その長さの比を  $T s 1 : T s 2 : T s 3 = 4 : 2 : 1$  としている。つまり、 $n$  ビット階調を表現する際は、 $n$  個のサステイン期間の長さの比は、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$  としている。そして、どのサステイン期間で発光素子が発光するかによって、1 フレーム期間あたりに、各画素が発光する期間の長さが決定し、これによって階調表現を行う。

次いで、時間階調方式を適用した画素における具体的な動作について説明するが、本実施例では図 16 (B) に示す画素を参照して説明する。図 16 (B) に示す画素は、電流入力方式が適用される。

10 まずアドレス期間  $T a$  においては、以下の動作を行う。第 1 の走査線 602 および第 2 の走査線 603 が選択されて、 $T F T 606$ 、607 がオンする。このとき、信号線 601 を流れる電流を信号電流  $I_{data}$  とする。そして容量素子 610 には所定の電荷が蓄積されると、第 1 の走査線 602 および第 2 の走査線 603 の選択が終了して、 $T F T 606$ 、607 がオフする。

15 次いでサステイン期間  $T s$  においては、以下の動作を行う。第 3 の走査線 604 が選択されて、 $T F T 609$  がオンする。容量素子 610 には先ほど書き込んだ所定の電荷が保持されているため、 $T F T 608$  はオンしており、電流線 605 から信号電流  $I_{data}$  に等しい電流が流れる。これにより発光素子 611 が発光する。

以上の動作を各サブフレーム期間で行うことにより、1 フレーム期間を構成する。

20 この方法によると、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良い。また、サブフレーム期間の順序は、図 14 (B) (C) に示すように、必ずしも上位ビットから下位ビットといった順序である必要はなく、1 フレーム期間中、ランダムに並んでいても良い。さらに各フレーム期間内で、その順序が変化しても良い。

25 また、 $m$  行目の走査線のサブフレーム期間  $S F 2$  を図 14 (D) に図示する。図 14 (D) に図示するように、画素ではアドレス期間  $T a 2$  が終了したら、直ちに

サステイン期間  $T_{s2}$  が開始されている。

本実施例は、実施の形態 1～7 と任意に組み合わせることが可能である。

〈実施例 2〉

本実施例では、画素部に設けられる画素の回路の構成例について図 13 を用いて

5 説明する。

なお電流を入力する部分を含むような構成を有する画素であれば、どのような構成の画素にも適用できる。

図 13 (A) の画素は、信号線 1101、第 1 および第 2 の走査線 1102、1103、電流線（電源線）1104、スイッチング用 TFT 1105、保持用 TFT 1106、駆動用 TFT 1107、変換駆動用 TFT 1108、容量素子 1109、発光素子 1110 とを有する。各信号線は、電流源回路 1111 に接続されている。

なお、電流源回路 1111 が、信号線駆動回路 403 に配置されている電流源回路 420 に相当する。

15     スイッチング用 TFT 1105 のゲート電極は、第 1 の走査線 1102 に接続され、第 1 の電極は信号線 1101 に接続され、第 2 の電極は駆動用 TFT 1107 の第 1 の電極と、変換駆動用 TFT 1108 の第 1 の電極とに接続されている。保持用 TFT 1106 のゲート電極は、第 2 の走査線 1103 に接続され、第 1 の電極は変換駆動用 TFT 1106 の第 1 の電極に接続され、第 2 の電極は駆動用 TFT 20     T 1107 のゲート電極と、変換駆動用 TFT 1108 のゲート電極とに接続されている。駆動用 TFT 1107 の第 2 の電極は、電流線（電源線）1104 に接続され、変換駆動用 TFT 1108 の第 2 の電極は、発光素子 1110 の一方の電極に接続されている。容量素子 1109 は、変換駆動用 TFT 1108 のゲート電極と第 2 の電極との間に接続され、変換駆動用 TFT 1108 のゲート・ソース間電 25     圧を保持する。電流線（電源線）1104 および発光素子 1110 の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図 1 3 (A) の画素は、図 2 9 (B) の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図 1 3 (A) の駆動用 T F T 1 1 0 7 が図 2 9 (B) の T F T 1 2 6 に相当し、図 1 3 (A) の変換駆動用 T F T 1 1 0 8 が図 2 9 (B) の T F T 1 2 2 に相当し、図 1 3 (A) の保持用 T F T 1 1 0 6 が図 2 9 (B) の T F T 1 2 4 に相当する。

図 1 3 (B) の画素は、信号線 1 1 5 1、第 1 及び第 2 の走査線 1 1 4 2、1 1 4 3、電流線（電源線） 1 1 4 4、スイッチング用 T F T 1 1 4 5、保持用 T F T 1 1 4 6、変換駆動用 T F T 1 1 4 7、駆動用 T F T 1 1 4 8、容量素子 1 1 4 9、  
10 発光素子 1 1 4 0 とを有する。信号線 1 1 5 1 は電流源回路 1 1 4 1 に接続されている。

なお、電流源回路 1 1 4 1 が、信号線駆動回路 4 0 3 に配置されている電流源回路 4 2 0 に相当する。

スイッチング用 T F T 1 1 4 5 のゲート電極は、第 1 の走査線 1 1 4 2 に接続され、第 1 の電極は信号線 1 1 5 1 に接続され、第 2 の電極は駆動用 T F T 1 1 4 8 の第 1 の電極と、変換駆動用 T F T 1 1 4 7 の第 1 の電極とに接続されている。保持用 T F T 1 1 4 6 のゲート電極は、第 2 の走査線 1 1 4 3 に接続され、第 1 の電極は駆動用 T F T 1 1 4 8 の第 1 の電極に接続され、第 2 の電極は駆動用 T F T 1 1 4 8 のゲート電極と、変換駆動用 T F T 1 1 4 7 のゲート電極とに接続されている。  
20 変換駆動用 T F T 1 1 4 7 の第 2 の電極は、電流線（電源線） 1 1 4 4 に接続され、駆動用 T F T 1 1 4 8 の第 2 の電極は、発光素子 1 1 4 0 の一方の電極に接続されている。容量素子 1 1 4 9 は、変換駆動用 T F T 1 1 4 7 のゲート電極と第 2 の電極との間に接続され、変換駆動用 T F T 1 1 4 7 のゲート・ソース間電圧を保持する。電流線（電源線） 1 1 4 4 および発光素子 1 1 4 0 の他方の電極には、  
25 それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図 1 3 (B) の画素は、図 6 (B) の回路を画素に適用した場合に相当す

る。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図13(B)の変換駆動用TFT1147が図6(B)のTFT122に相当し、図13(B)の駆動用TFT1148が図6(B)のTFT126に相当し、図13(B)の保持用TFT1146が図6(B)のTFT124に相当する。

- 5 図13(C)の画素は、信号線1121、第1の走査線1122、第2の走査線1123、第3の走査線1135、電流線1124、電流線1138、スイッチング用TFT1125、消去用TFT1126、駆動用TFT1127、容量素子1128、電流源TFT1129、ミラーTFT1130、容量素子1131、電流入力TFT1132、保持TFT1133、発光素子1136とを有する。各信号線は、電流源回路1137に接続されている。

- スイッチング用TFT1125のゲート電極は、第1の走査線1122に接続され、スイッチング用TFT1125の第1の電極は信号線1121に接続され、スイッチング用TFT1125の第2の電極は駆動用TFT1127のゲート電極と、消去用TFT1126の第1の電極とに接続されている。消去用TFT1126のゲート電極は、第2の走査線1123に接続され、消去用TFT1126の第2の電極は電流線1124に接続されている。駆動用TFT1127の第1の電極は発光素子1136の一方の電極に接続され、駆動用TFT1127の第2の電極は電流源TFT1129の第1の電極に接続されている。電流源TFT1129の第2の電極は電流線1124に接続されている。容量素子1131の一方の電極は、電流源TFT1129のゲート電極及びミラーTFT1130のゲート電極に接続され、他方の電極は電流線1124に接続されている。ミラーTFT1130の第1の電極は電流線1124に接続され、ミラーTFT1130の第2の電極は、電流入力TFT1132の第1の電極に接続されている。電流入力TFT1132の第2の電極は電流線1138に接続され、電流入力TFT1132のゲート電極は第3の走査線1135に接続されている。電流保持TFT1133のゲート電極は第3の走査線1135に接続され、電流保持TFT1133の第1の電極は電源



線 1 1 3 8 に接続され、電流保持 T F T 1 1 3 3 の第 2 の電極は電流源 T F T 1 1 2 9 のゲート電極及びミラー T F T 1 1 3 0 のゲート電極に接続されている。電流線 1 1 2 4 および発光素子 1 1 3 6 の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

- 5     本実施例は、実施の形態 1 ～ 7、実施例 1 と任意に組み合わせることが可能である。

〈実施例 3〉

本実施例では、カラー表示を行う場合の工夫について述べる。

- 10    発光素子が有機 EL 素子である場合、発光素子に同じ大きさの電流を流しても、色によって、その輝度が異なる場合がある。また、発光素子が経時的な要因などにより劣化した場合、その劣化の度合いは、色によって異なる。そのため、発光素子を用いた発光装置において、カラー表示を行う際には、そのホワイトバランスを調節するためにさまざまな工夫が必要である。

- 15    最も単純な手法は、画素に入力する電流の大きさを色によって変えることである。そのためには、ビデオ信号用定電流源の電流の大きさを色によって変えればよい。

- 20    その他の手法としては、画素、信号線駆動回路、ビデオ信号用定電流源などにおいて、図 6 (C) ～図 6 (E) のような回路を用いることである。そして、図 6 (C) ～図 6 (E) のような回路において、カレントミラー回路を構成する 2 つのトランジスタの W/L の比率を色によって変える。これにより、画素に入力する電流の大きさが色によって変えることができる。

さらに他の手法としては、点灯期間の長さを色によって変えることである。これは、時間階調方式を用いている場合、また用いていない場合のどちらの場合にも適用できる。本手法により、各画素の輝度を調節することができる。

- 25    以上のような手法を用いることにより、あるいは、組み合わせて用いることにより、ホワイトバランスを容易に調節することができる。

本実施例は、実施の形態 1 ～ 7、実施例 1、2 と任意に組み合わせることが可能

である。

〈実施例 4〉

本実施例では、本発明の発光装置（半導体装置）の外観について、図 1 2 を用いて説明する。図 1 2 は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図 1 2 (B) は、図 1 2 (A) の A-A' における断面図、図 1 2 (C) は図 1 2 (A) の B-B' における断面図である。

基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、ゲート信号線駆動回路 4 0 0 4 a、b とを囲むようにして、シール材 4 0 0 9 が設けられている。また画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、ゲート信号線駆動回路 4 0 0 4 a、b との上にシーリング材 4 0 0 8 が設けられている。よって画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、ゲート信号線駆動回路 4 0 0 4 a、b とは、基板 4 0 0 1 とシール材 4 0 0 9 とシーリング材 4 0 0 8 とによって、充填材 4 2 1 0 で密封されている。

また基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、ゲート信号線駆動回路 4 0 0 4 a、b とは、複数の TFT を有している。図 1 2 (B) では代表的に、下地膜 4 0 1 0 上に形成された、ソース信号線駆動回路 4 0 0 3 に含まれる駆動 TFT (但し、ここでは n チャネル型 TFT と p チャネル型 TFT を図示) 4 2 0 1 及び画素部 4 0 0 2 に含まれる消去用 TFT 4 2 0 2 を図示した。

本実施例では、駆動 TFT 4 2 0 1 には公知の方法で作製された p チャネル型 TFT または n チャネル型 TFT が用いられ、消去用 TFT 4 2 0 2 には公知の方法で作製された n チャネル型 TFT が用いられる。

駆動 TFT 4 2 0 1 及び消去用 TFT 4 2 0 2 上には層間絶縁膜（平坦化膜）4 3 0 1 が形成され、その上に消去用 TFT 4 2 0 2 のドレインと電氣的に接続する画素電極（陽極）4 2 0 3 が形成される。画素電極 4 2 0 3 としては仕事関数の大きい

透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

- 5      そして、画素電極 4 2 0 3 の上には絶縁膜 4 3 0 2 が形成され、絶縁膜 4 3 0 2 は画素電極 4 2 0 3 の上に開口部が形成されている。この開口部において、画素電極 4 2 0 3 の上には発光層 4 2 0 4 が形成される。発光層 4 2 0 4 は公知の発光材料または無機発光材料を用いることができる。また、発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。
- 10     発光層 4 2 0 4 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、発光層 4 2 0 4 の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を任意に組み合わせて積層構造または単層構造とすれば良い。

- 発光層 4 2 0 4 の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極 4 2 0 5 が形成される。また、陰極 4 2 0 5 と発光層 4 2 0 4 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、発光層 4 2 0 4 を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極 4 2 0 5 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極
- 15     4 2 0 5 は所定の電圧が与えられている。

以上のようにして、画素電極（陽極） 4 2 0 3、発光層 4 2 0 4 及び陰極 4 2 0 5 からなる発光素子 4 3 0 3 が形成される。そして発光素子 4 3 0 3 を覆うように、絶縁膜上に保護膜が形成されている。保護膜は、発光素子 4 3 0 3 に酸素や水分等が入り込むのを防ぐのに効果的である。

- 25     4 0 0 5 a は電源線に接続された引き回し配線であり、消去用 TFT 4 2 0 2 のソース領域に電氣的に接続されている。引き回し配線 4 0 0 5 a はシール材 4 0 0

9と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電氣的に接続される。

シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

10 但し、発光層からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

また充填材4210を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

図 1 2 (C) に示すように、画素電極 4 2 0 3 が形成されると同時に、引き回し配線 4 0 0 5 a 上に接するように導電性膜 4 2 0 3 a が形成される。

また、異方導電性フィルム 4 3 0 0 は導電性フィラー 4 3 0 0 a を有している。基板 4 0 0 1 と F P C 4 0 0 6 とを熱圧着することで、基板 4 0 0 1 上の導電性膜 5 4 2 0 3 a と F P C 4 0 0 6 上の F P C 用配線 4 3 0 1 とが、導電性フィラー 4 3 0 0 a によって電氣的に接続される。

本実施例は、実施の形態 1 ～ 7、実施例 1 ～ 3 と任意に組み合わせることが可能である。

#### 〈実施例 5〉

10 発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、  
15 音響再生装置 (カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置 (具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置) などが挙げられる。特に、斜め方向から画面を見る機会が多い携  
20 帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図 2 2 に示す。

図 2 2 (A) は発光装置であり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3、スピーカー部 2 0 0 4、ビデオ入力端子 2 0 0 5 等を含む。本発明の発光装置は表示部 2 0 0 3 に用いることができる。また本発明により、図 2 2 (A) に示す  
25 発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソ

コン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

図22(B)はデジタルスチルカメラであり、本体2101、表示部2102、  
受像部2103、操作キー2104、外部接続ポート2105、シャッター210  
6等を含む。本発明の発光装置は表示部2102に用いることができる。また本発  
5 明により、図22(B)に示すデジタルスチルカメラが完成される。

図22(C)はノート型パーソナルコンピュータであり、本体2201、筐体2  
202、表示部2203、キーボード2204、外部接続ポート2205、ポイン  
ティングマウス2206等を含む。本発明の発光装置は表示部2203に用いるこ  
とができる。また本発明により、図22(C)に示す発光装置が完成される。

10 図22(D)はモバイルコンピュータであり、本体2301、表示部2302、  
スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の  
発光装置は表示部2302に用いることができる。また本発明により、図22(D)  
に示すモバイルコンピュータが完成される。

図22(E)は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装  
15 置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、  
記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部24  
07等を含む。表示部A2403は主として画像情報を表示し、表示部B2404  
は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B240  
3、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家  
20 庭用ゲーム機器なども含まれる。また本発明により、図22(E)に示すDVD再  
生装置が完成される。

図22(F)はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、  
本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表  
示部2502に用いることができる。また本発明により、図22(F)に示すゴー  
25 グル型ディスプレイが完成される。

図22(G)はビデオカメラであり、本体2601、表示部2602、筐体26

03、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。本発明の発光装置は表示部2602に用いることができる。また本発明により、図22（G）に示すビデオカメラが完成される。

- 5     ここで図22（H）は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図22
- 10    （H）に示す携帯電話が完成される。

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

- また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子
- 15    通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

- また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話
- 20    や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

- 以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器は、実施の形態1～7、実施例1～6
- 25    に示したいずれの構成の発光装置を用いても良い。

本発明は、TFTの特性バラツキの影響を抑制して、所望の信号電流を外部に供

給することができる信号線駆動回路を提供することができる。

本発明は上記のような電流源回路を有する信号線駆動回路が設けられた発光装置を提供し、さらにT F Tの特性バラツキの影響を抑制した回路構成の画素を用いることにより、画素及び駆動回路の両方を構成するT F Tの特性バラツキの影響を  
5 抑制して、所望の信号電流  $I_{data}$  を発光素子に供給することができる発光装置を提供する。



## 請 求 の 範 囲

1. 複数の信号線の各々に対応した第1及び第2電流源回路、並びにシフトレジスタ及びn個のビデオ信号用定電流源を有する信号線駆動回路であって（nは1以上の自然数）、

前記第1及び前記第2電流源回路の各々は、容量手段と供給手段を有し、

- 前記シフトレジスタから供給されるサンプリングパルスと外部から供給されるラッチパルスに従って、前記第1及び前記第2電流源回路の一方が有する容量手段は、前記n個のビデオ信号用定電流源の各々から供給される電流を加算した電流を  
10 電圧に変換し、他方が有する供給手段は前記変換された電圧に応じた電流を供給し、

前記n個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^n$ に設定されることを特徴とする信号線駆動回路。

2. 複数の信号線の各々に対応した（ $2 \times n$ ）個の電流源回路、並びにシフトレジスタ及びn個のビデオ信号用定電流源を有する信号線駆動回路であって（nは1以上の自然数）、  
15

前記（ $2 \times n$ ）個の電流源回路は、前記シフトレジスタから供給されるサンプリングパルスと外部から供給されるラッチパルスに従って、前記n個のビデオ信号用定電流源のいずれか1つから供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

- 20 前記複数の信号線の各々には、前記（ $2 \times n$ ）個の電流源回路から選択されたn個から電流が供給され、

前記n個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^n$ に設定されることを特徴とする信号線駆動回路。

3. 請求項1又は請求項2において、

- 25 前記容量手段は、前記供給手段が有するトランジスタのドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する

電圧を保持することを特徴とする信号線駆動回路。

4. 請求項 1 又は請求項 2 において、

前記供給手段は、トランジスタと、前記トランジスタのゲートとドレインの導通を制御する第 1 スイッチと、前記ビデオ信号用定電流源と前記トランジスタのゲー

5 トの導通を制御する第 2 スイッチと、前記トランジスタのドレインと画素の導通を制御する第 3 スイッチとを有することを特徴とする信号線駆動回路。

5. 請求項 1 又は請求項 2 において、

前記容量手段は、前記供給手段が有する第 1 及び第 2 トランジスタの両方のドレインとゲートが短絡された状態にあるとき、供給された電流により、前記第 1 又は

10 前記第 2 トランジスタのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

6. 請求項 1 又は請求項 2 において、

前記供給手段は、第 1 及び第 2 トランジスタで構成されるカレントミラー回路と、前記第 1 及び前記第 2 トランジスタのゲートとソースの導通を制御する第 1 スイ

15 ャッチと、前記ビデオ信号用定電流源と前記第 1 及び前記第 2 トランジスタのゲートの導通を制御する第 2 スイッチを有することを特徴とする信号線駆動回路。

7. 請求項 1 又は請求項 2 において、

前記容量手段は、前記供給手段が有する第 1 及び第 2 トランジスタの一方のドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・

20 ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

8. 請求項 1 又は請求項 2 において、

前記供給手段は、第 1 及び第 2 のトランジスタを含むカレントミラー回路と、

前記ビデオ信号用定電流源と前記第 1 トランジスタのドレインとの導通を制御する第 1 スイッチと、

25 前記第 1 トランジスタのドレインとゲート、前記第 1 トランジスタのゲートと前記第 2 トランジスタのゲート、前記第 1 及び前記第 2 トランジスタのゲートと前記

ビデオ信号用定電流源から選択されたいずれか1つとの導通を制御する第2スイッチとを有することを特徴とする信号線駆動回路。

9. 請求項6乃至請求項8のいずれか一項において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

10. 請求項6乃至請求項8のいずれか一項において、

前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

11. 請求項1又は請求項2において、

前記供給手段は、トランジスタと、前記容量手段に対する電流の供給を制御する第1及び第2スイッチと、前記トランジスタのゲートとドレインの導通を制御する第3スイッチを有し、

前記トランジスタのゲートは前記第1スイッチに接続され、前記トランジスタのソースは前記第2スイッチに接続され、前記トランジスタのドレインは前記第3スイッチに接続されることを特徴とする信号線駆動回路。

12. 請求項1又は請求項2において、

前記供給手段は、 $m$ 個のトランジスタを含むカレントミラー回路を有し、

前記 $m$ 個のトランジスタのゲート幅/ゲート長は $2_0 : 2_1 : \dots : 2_m$ に設定され、

前記 $m$ 個のトランジスタのドレイン電流は $2_0 : 2_1 : \dots : 2_m$ に設定されることを特徴とする信号線駆動回路。

13. 請求項1乃至請求項3のいずれか一項において、

前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

14. 請求項1又は請求項2において、

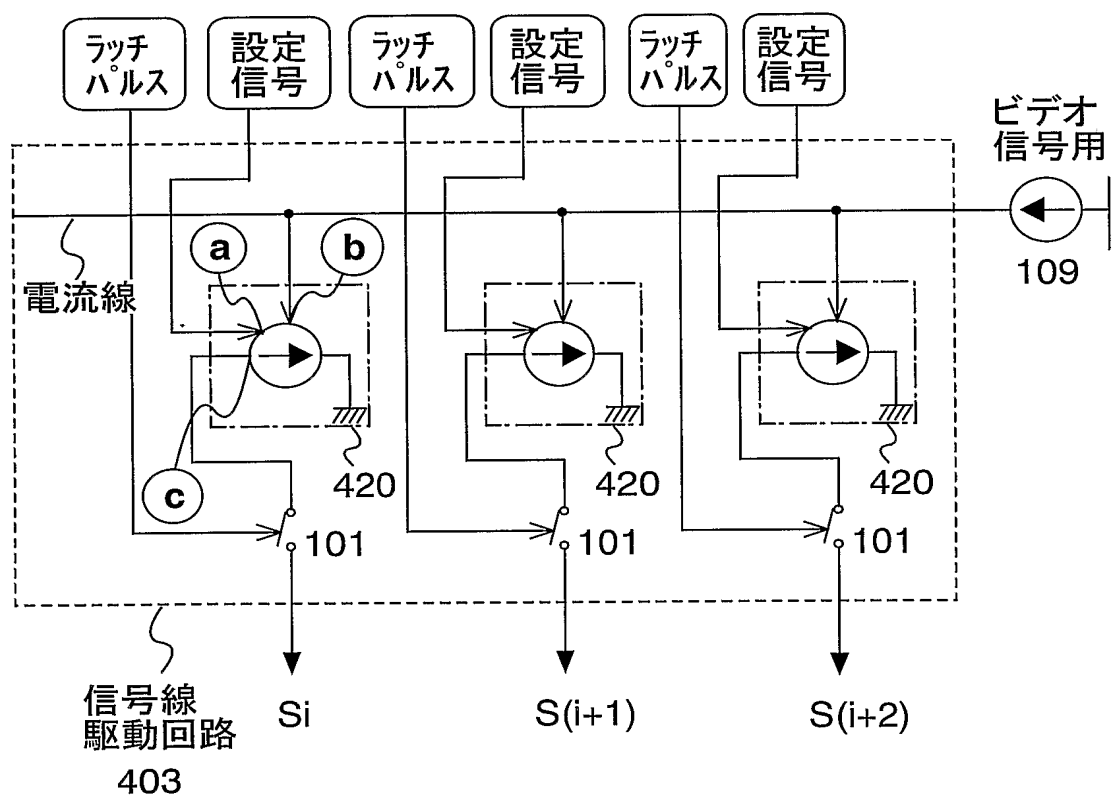
前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成される

ことを特徴とする信号線駆動回路。

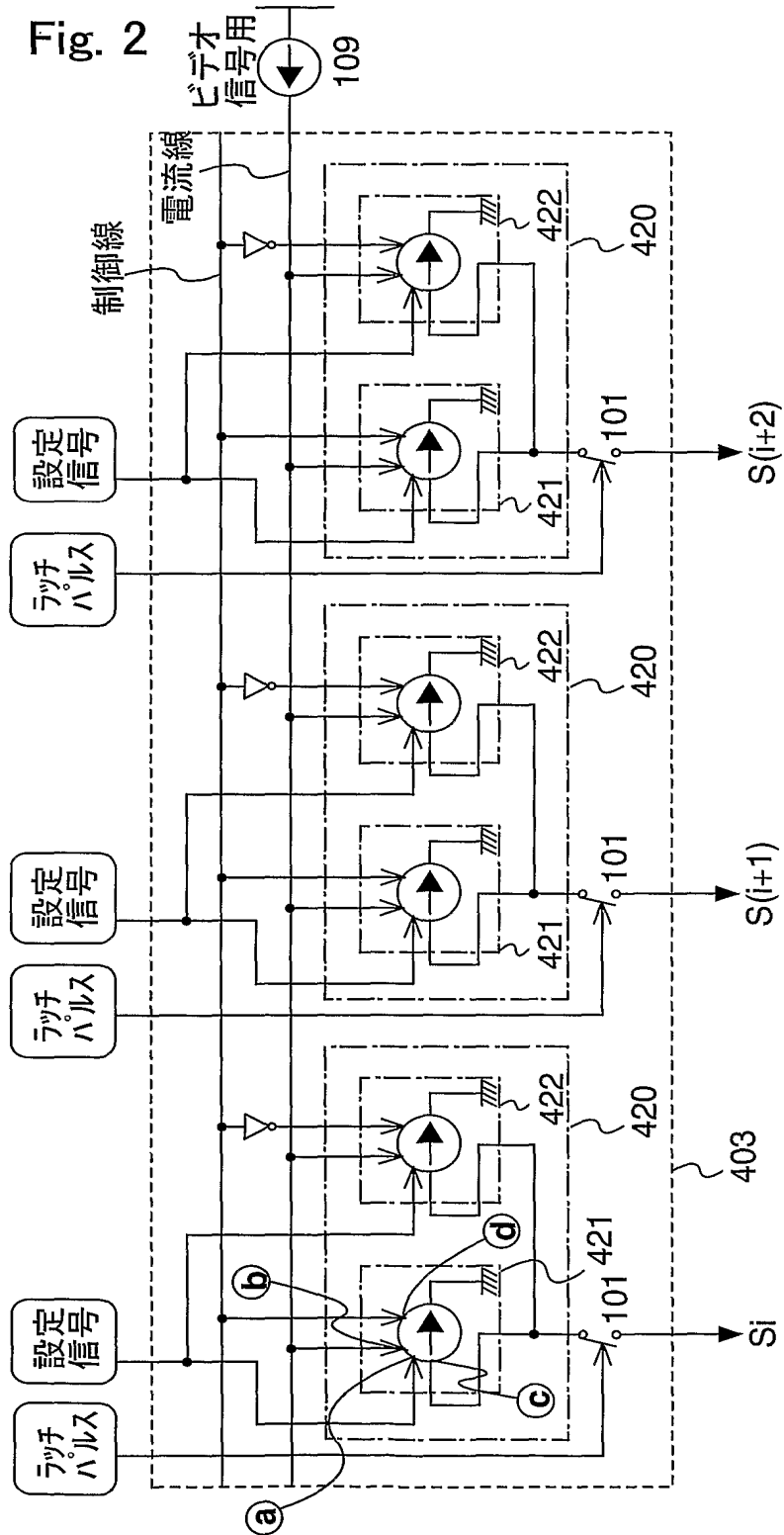
15. 請求項1乃至請求項14のいずれか一項に記載の前記信号線駆動回路と、  
各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有するこ  
とを特徴とする発光装置。

1/46

Fig. 1



2/46



3/46

Fig. 3A

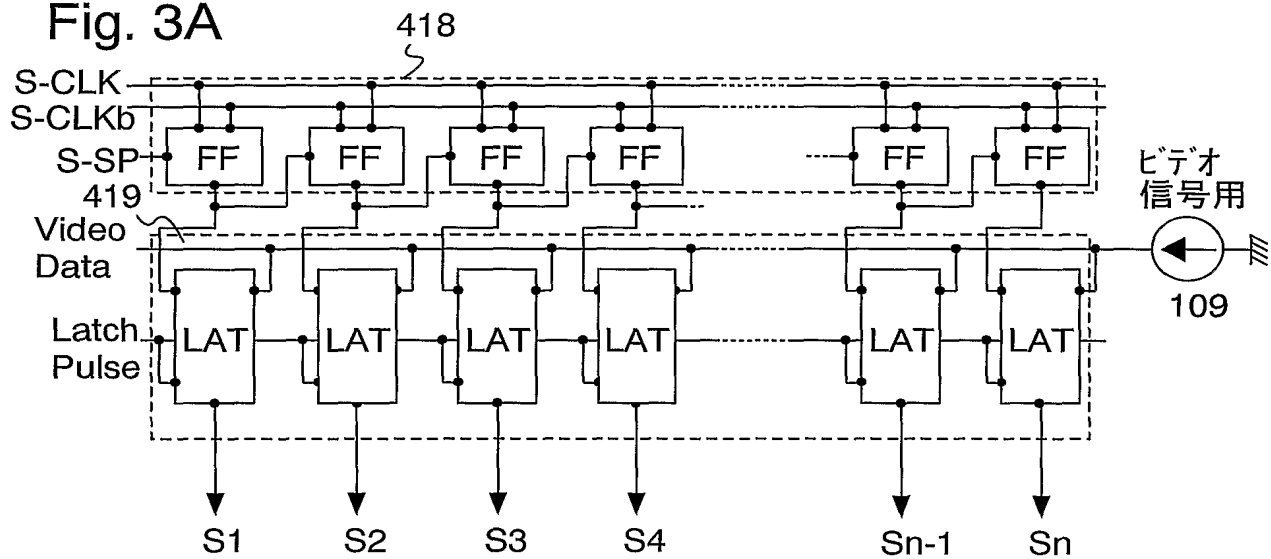


Fig. 3B

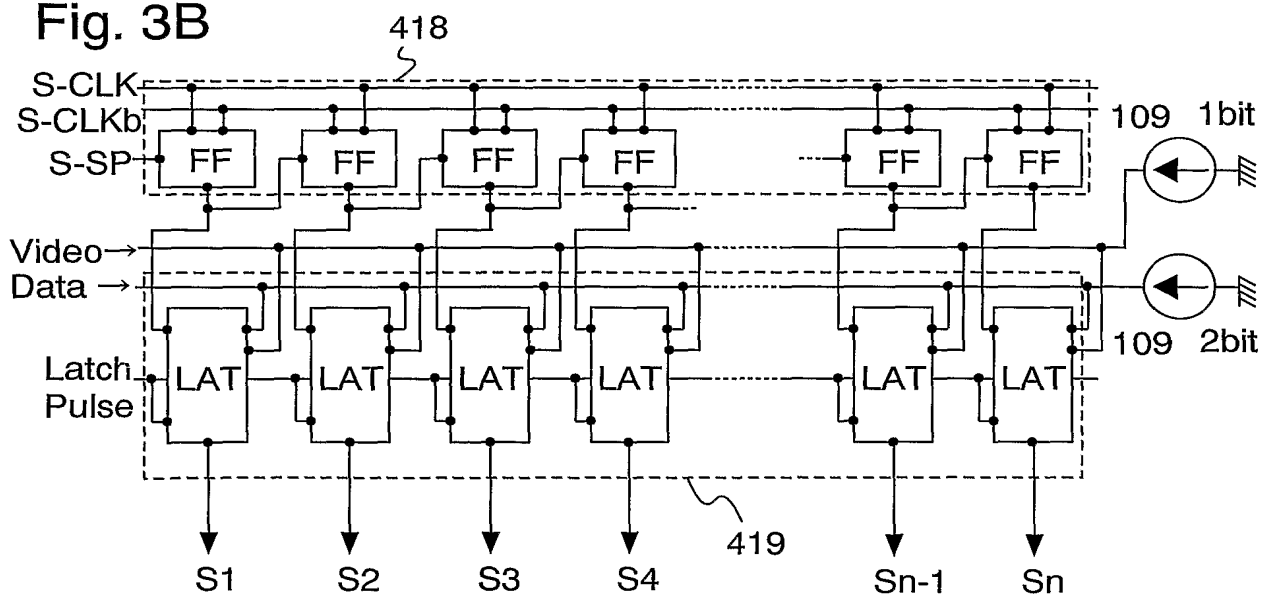


Fig. 4

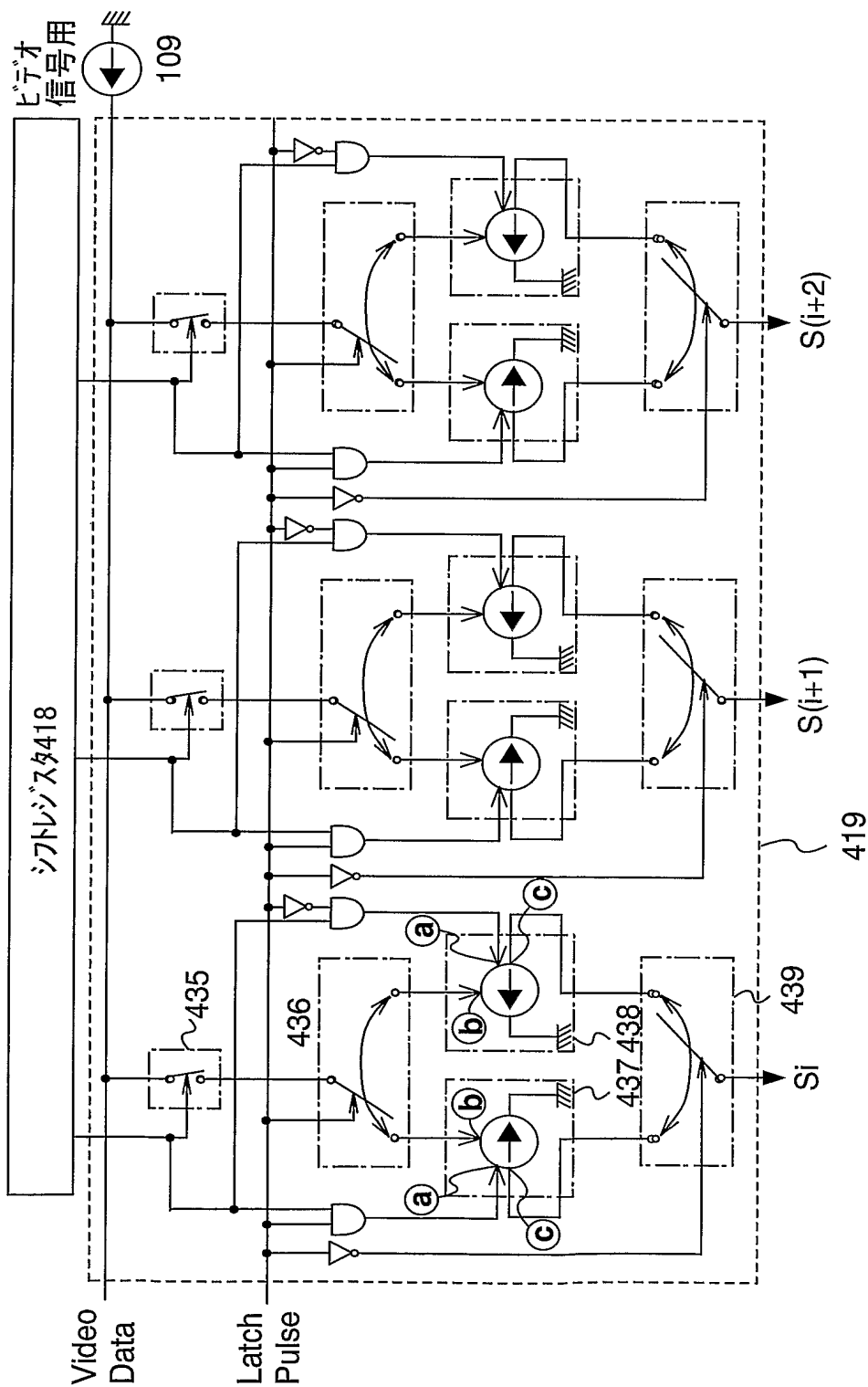
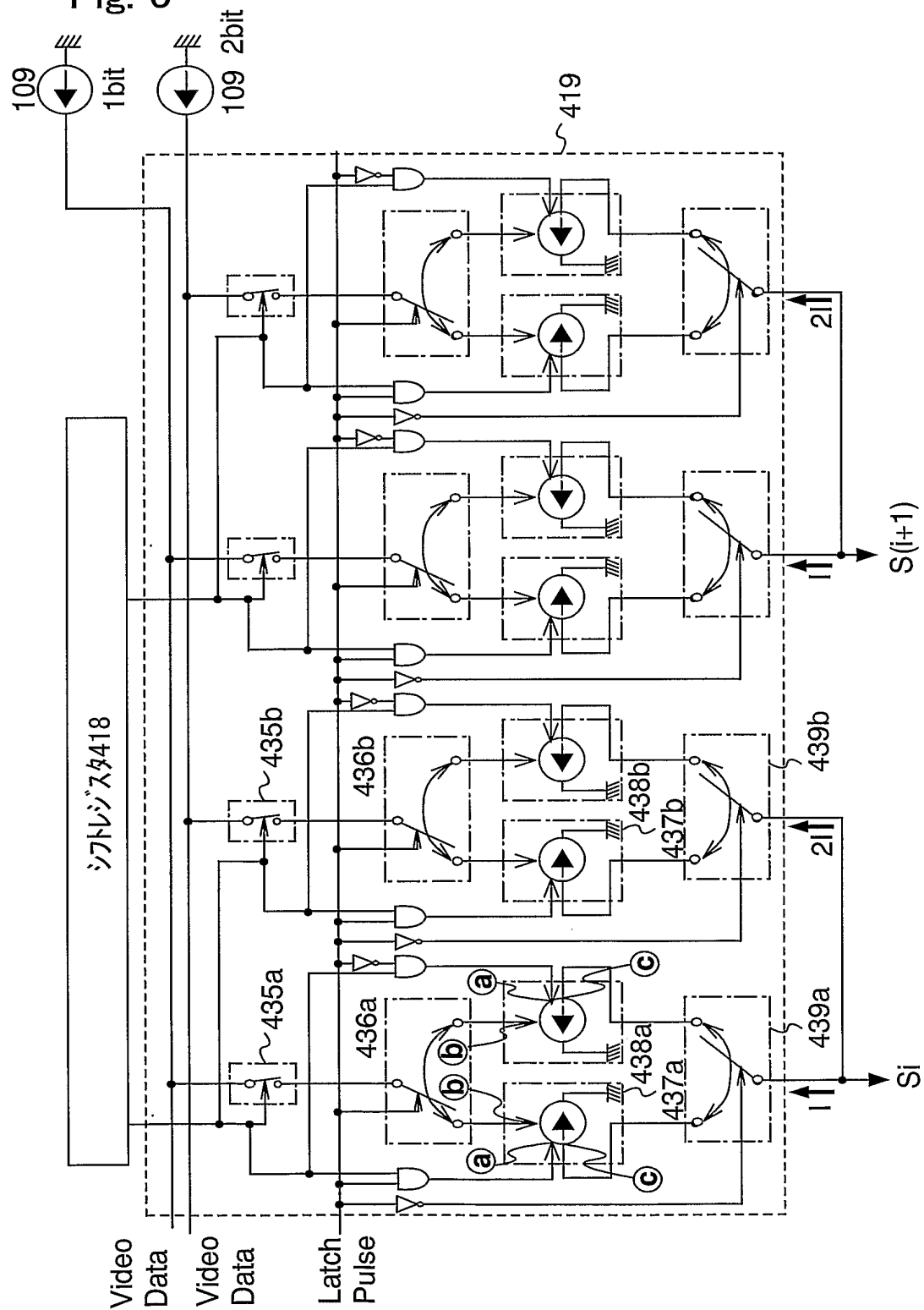




Fig. 5



6/46

Fig. 6A

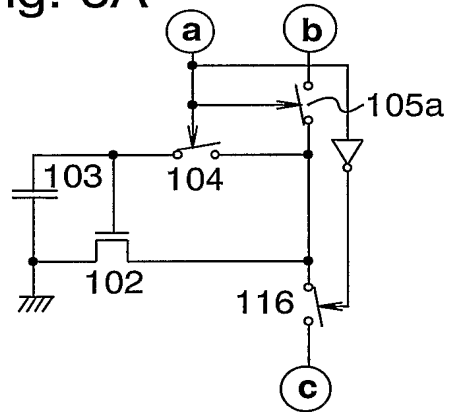


Fig. 6B

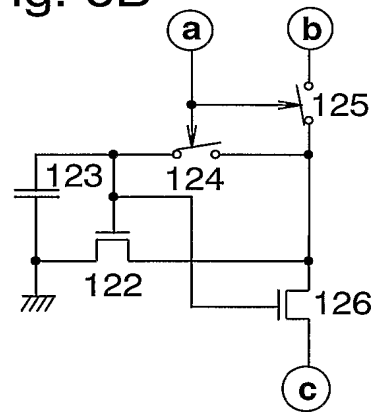


Fig. 6C

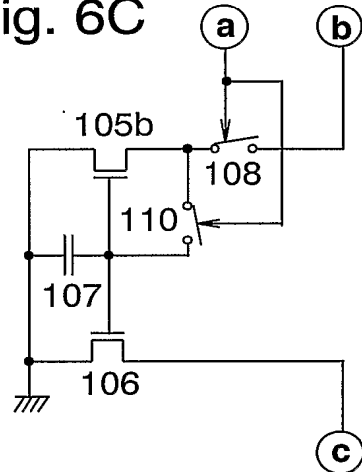


Fig. 6D

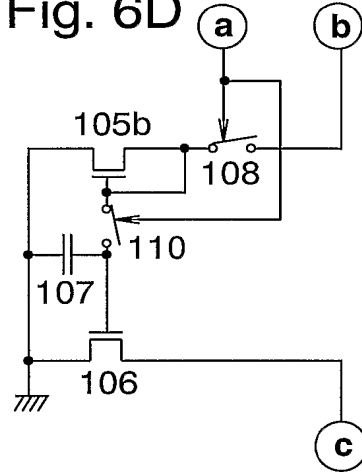
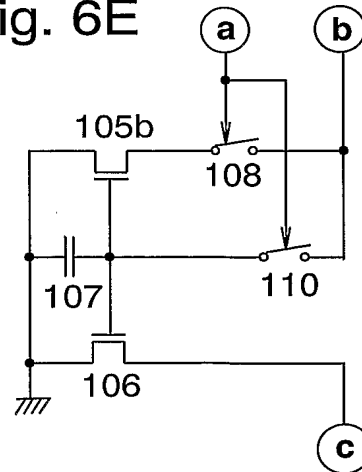


Fig. 6E



7/46

Fig. 7A

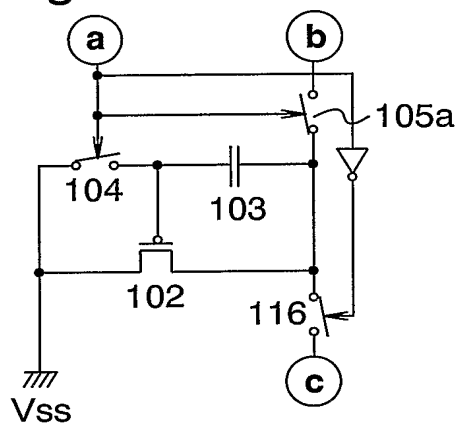


Fig. 7B

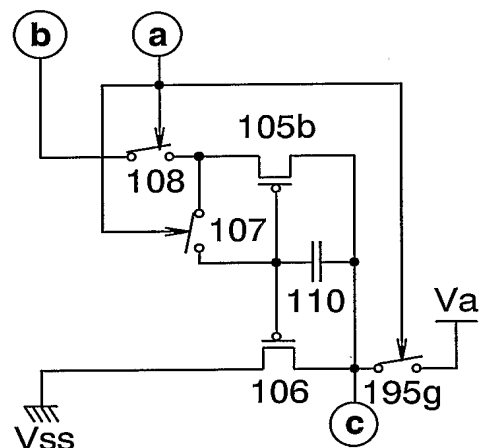


Fig. 7C

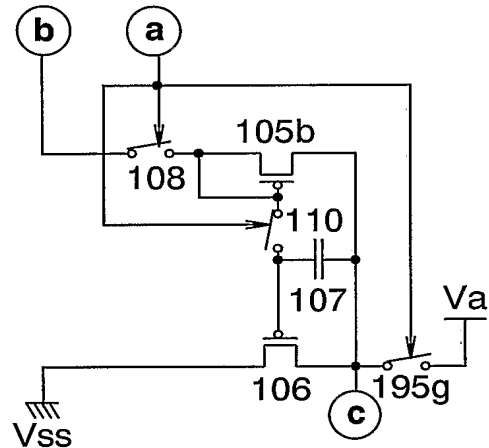
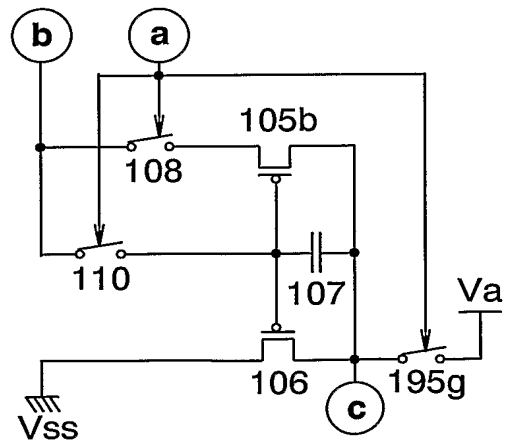


Fig. 7D



8/46

Fig. 8A

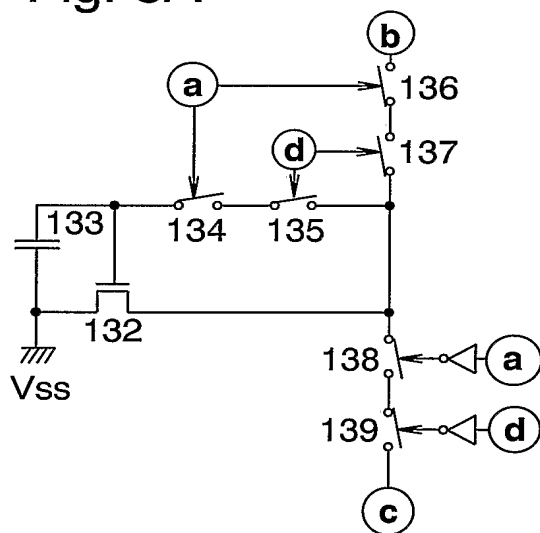
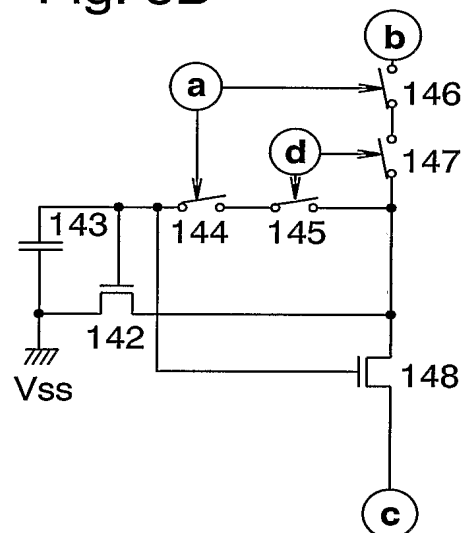


Fig. 8B



9/46

Fig. 9

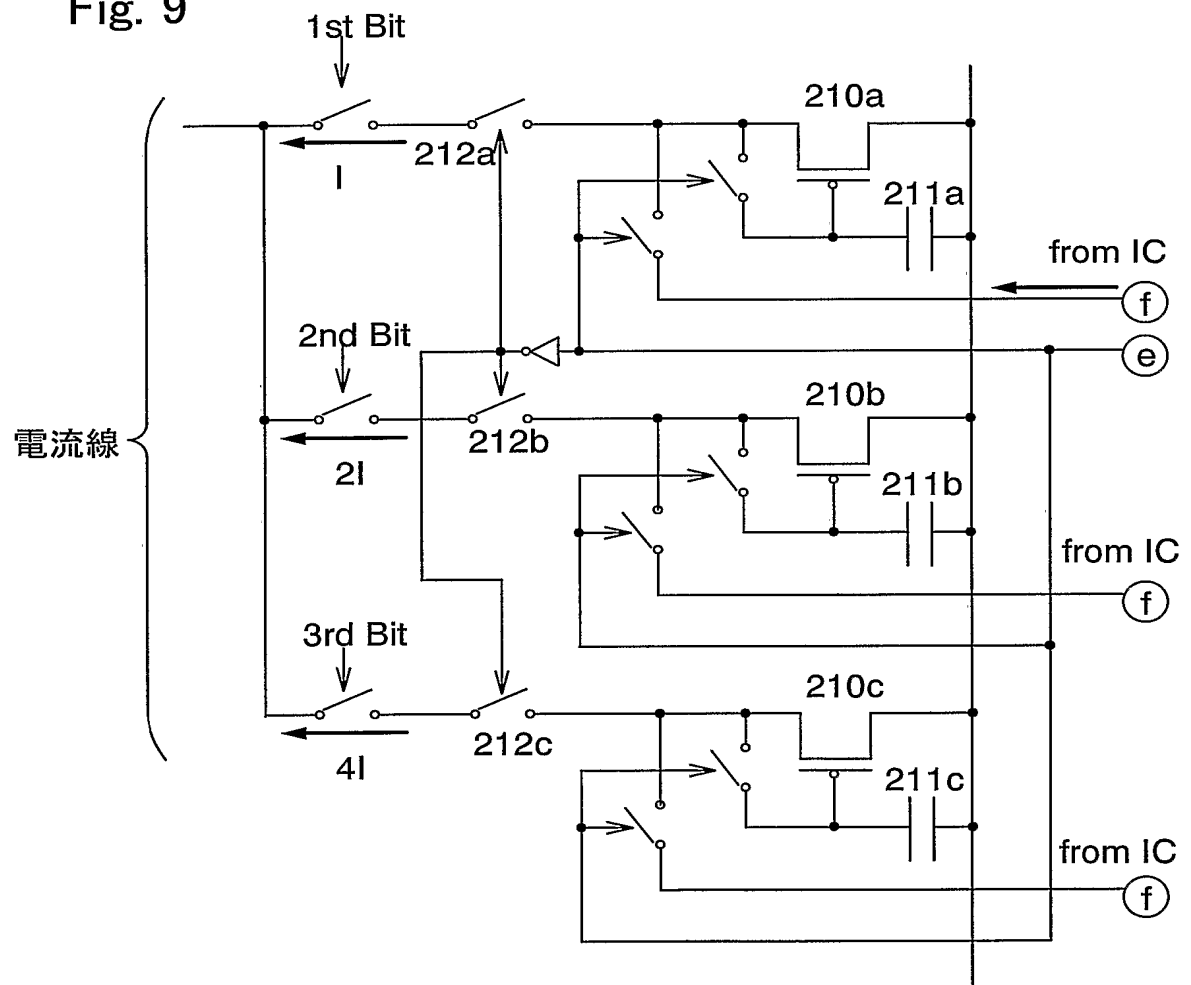
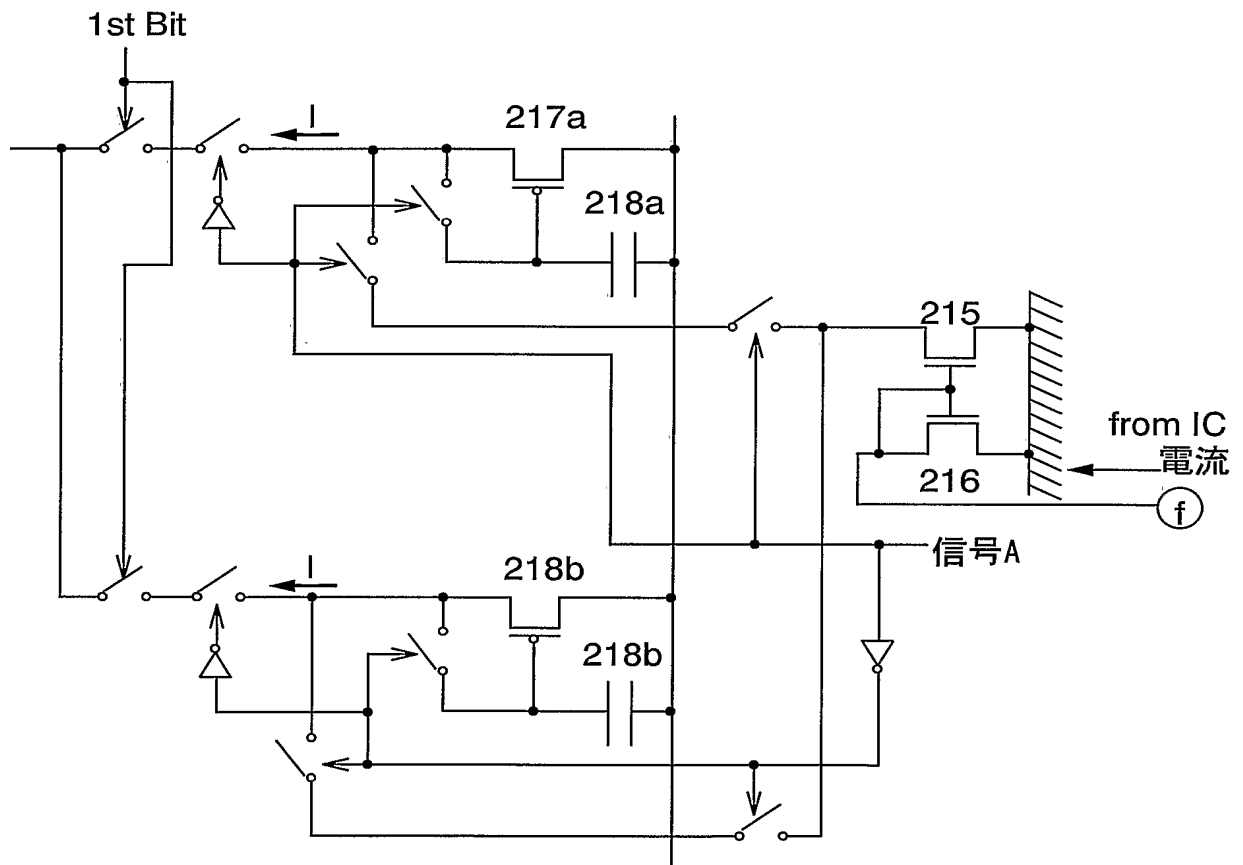


Fig. 10



11/46

Fig. 11A

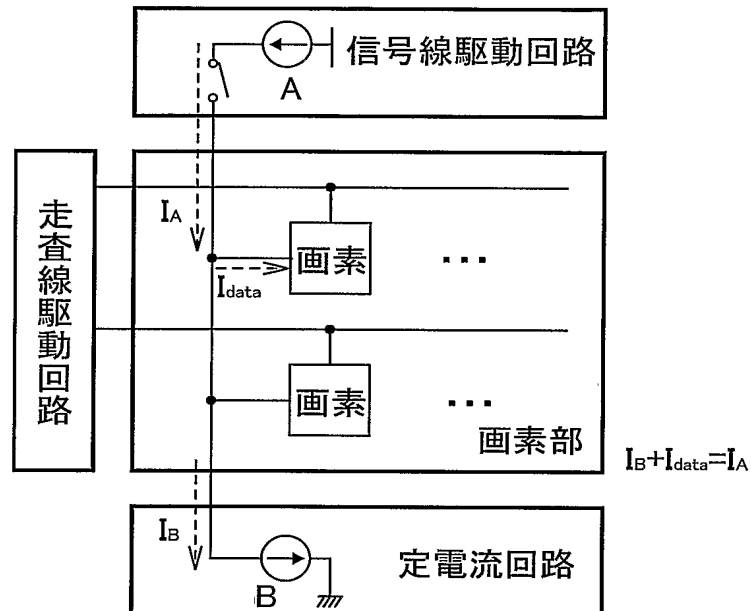
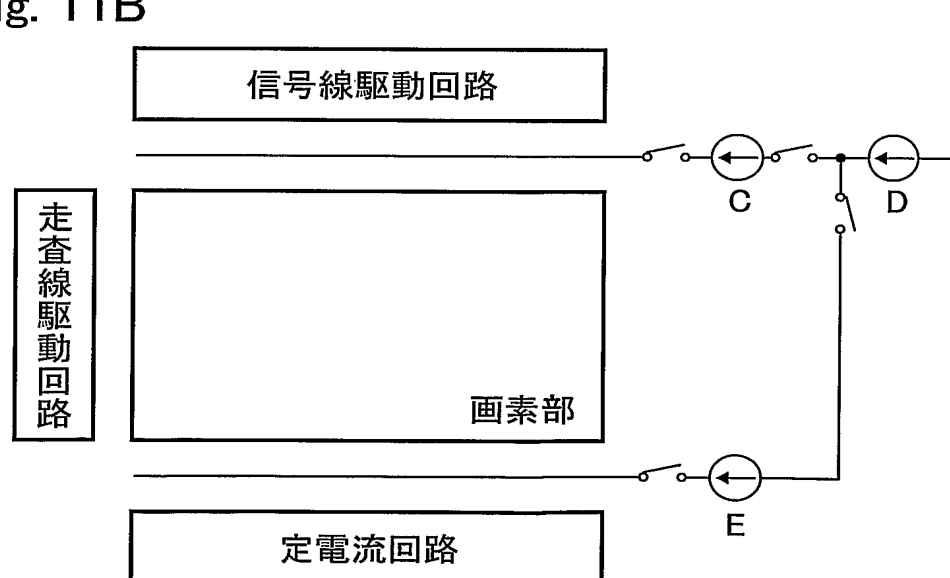


Fig. 11B



12/46

Fig. 12A

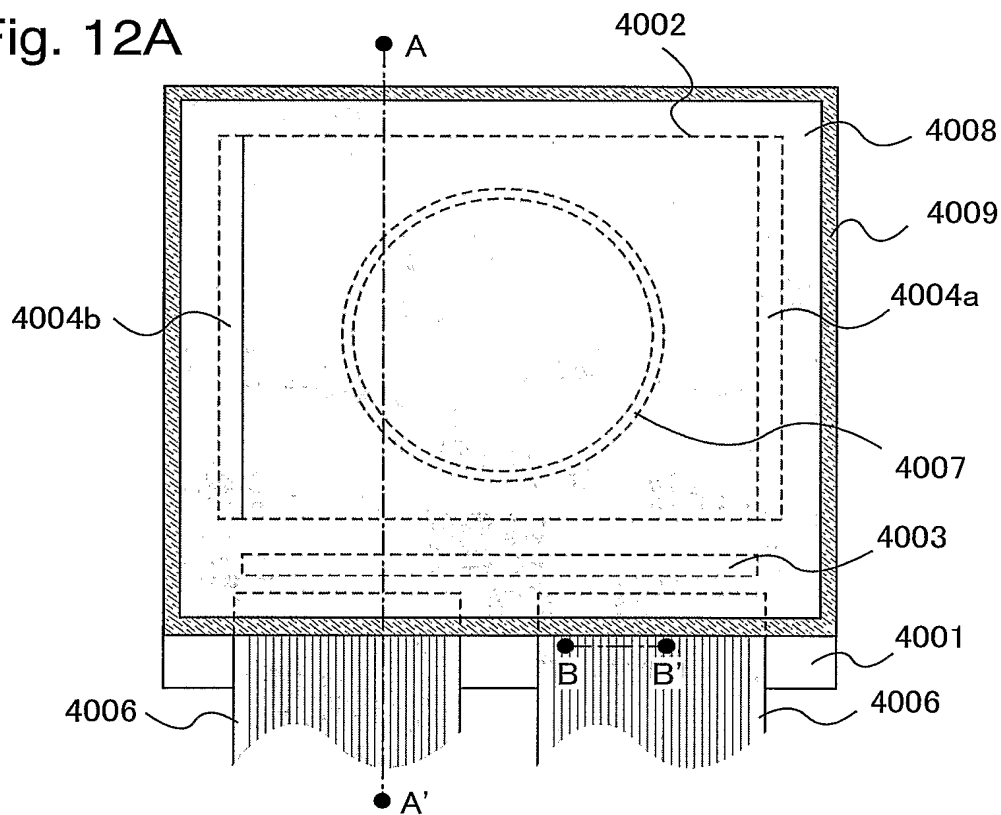


Fig. 12B

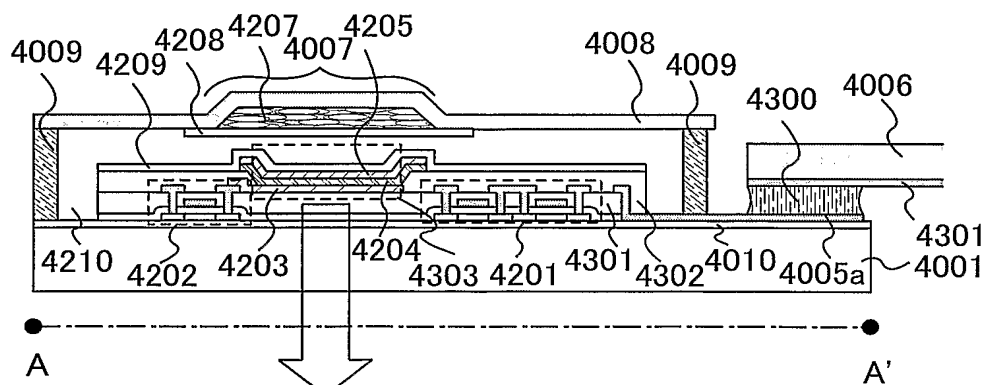
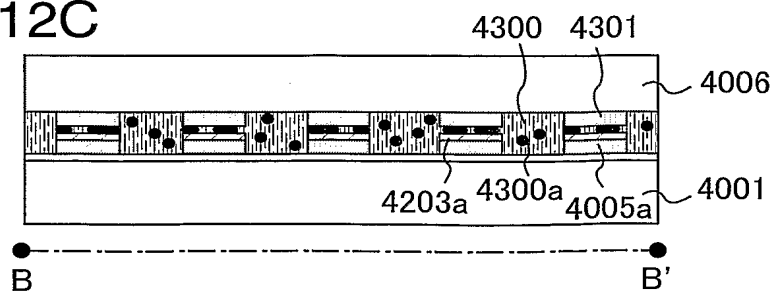


Fig. 12C





13/46

Fig. 13A

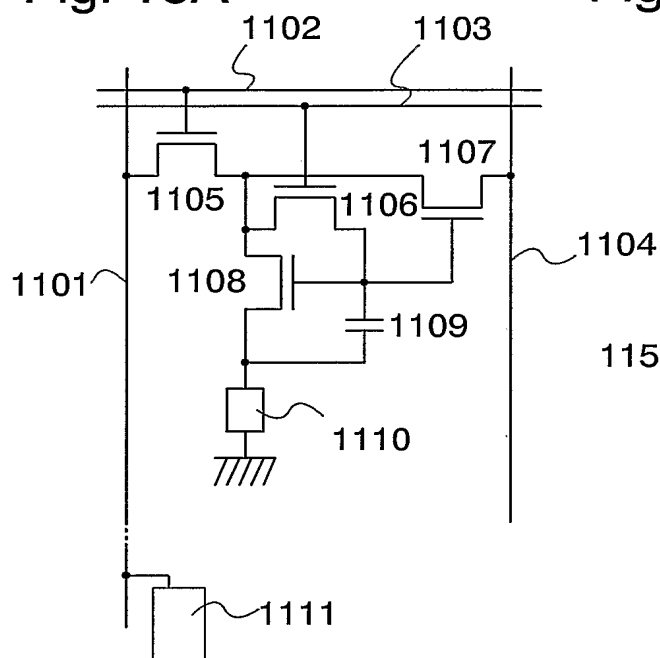


Fig. 13B

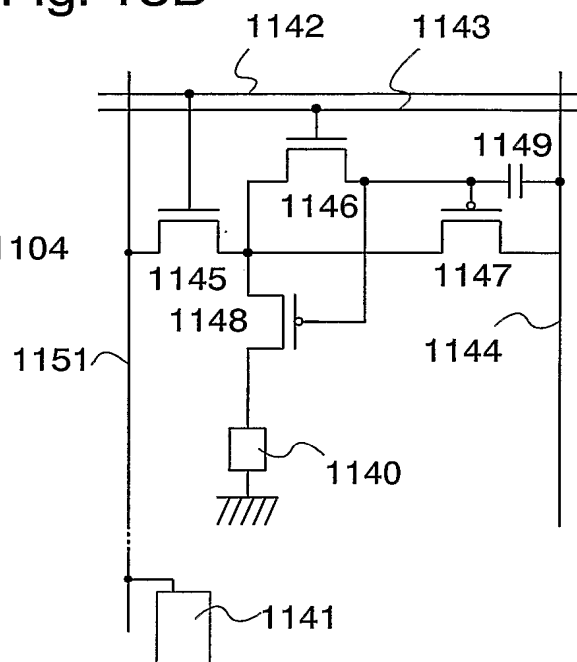
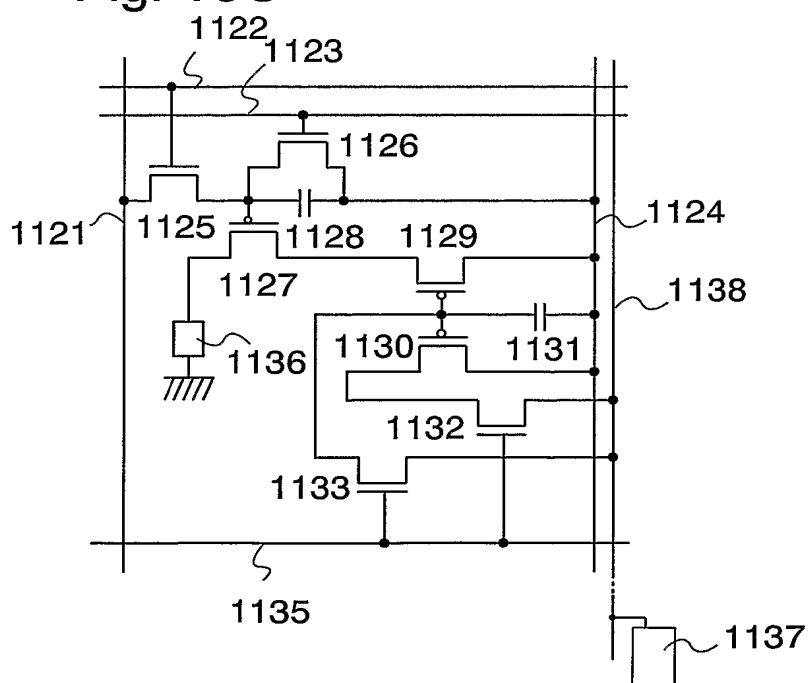


Fig. 13C



14/46

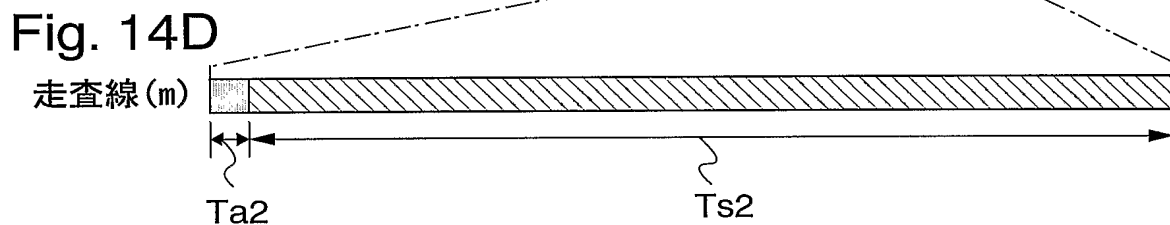
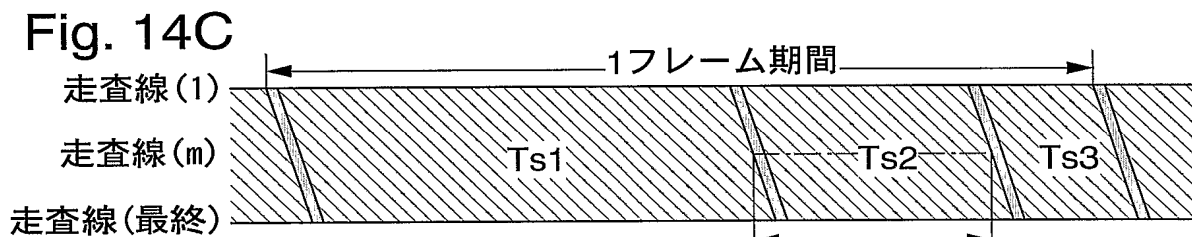
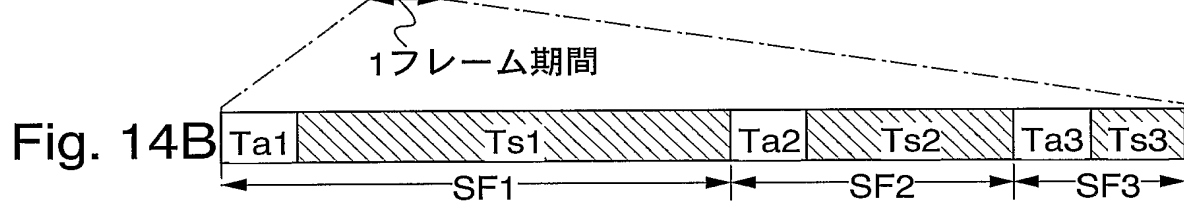
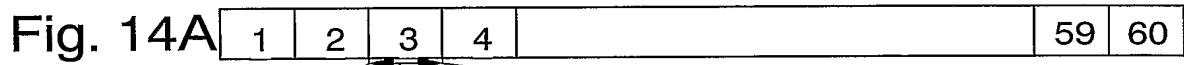


Fig. 15A

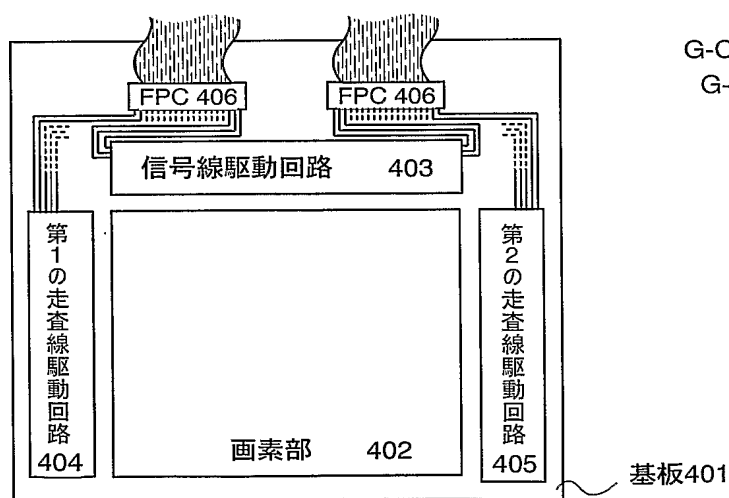
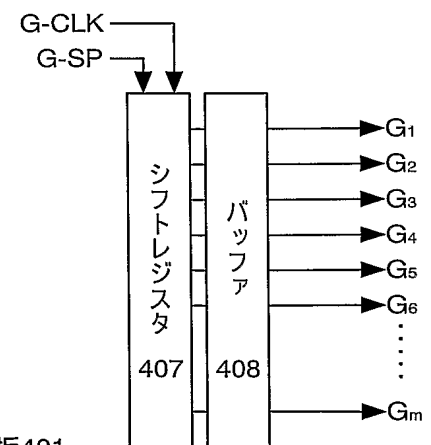


Fig. 15B



15/46

Fig. 16A

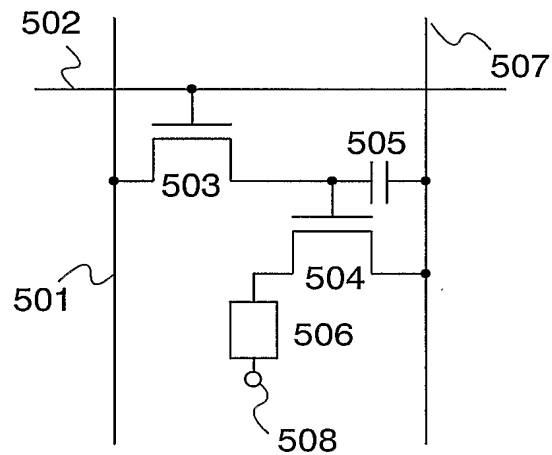
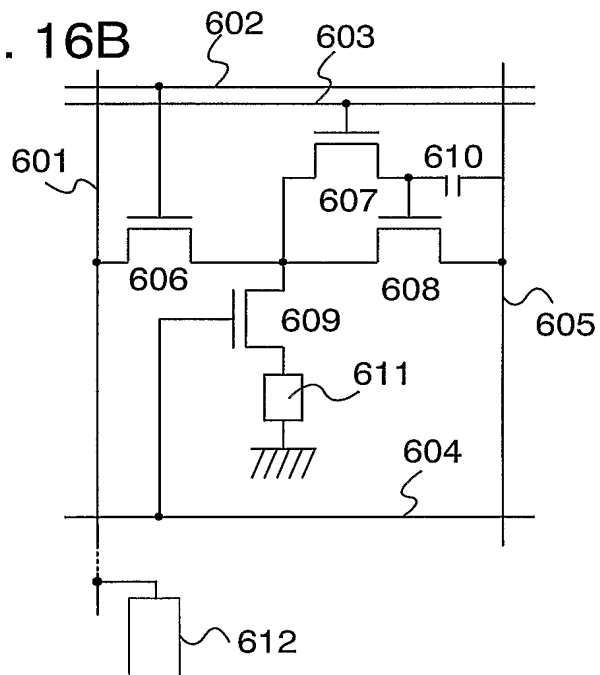


Fig. 16B



16/46

Fig. 17A 信号入力時

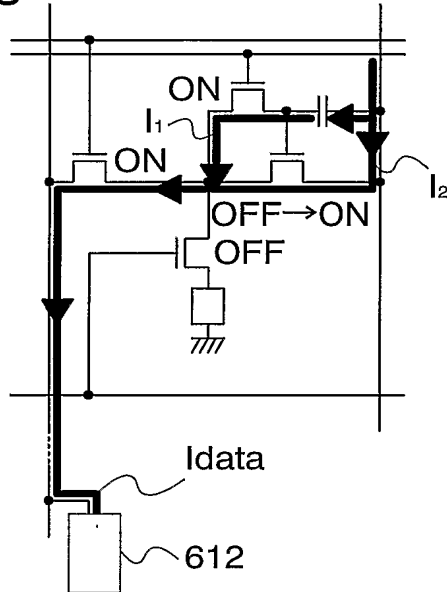


Fig. 17B 信号入力完了時

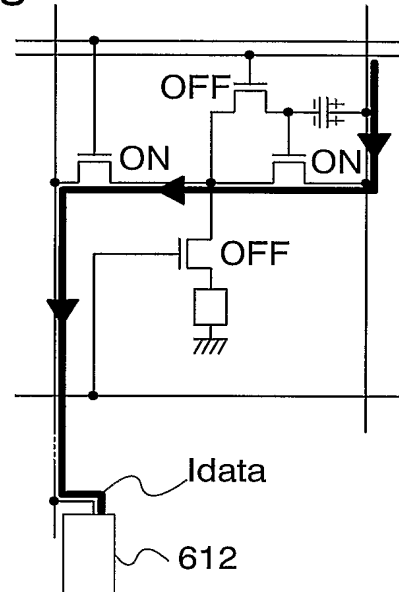


Fig. 17C 発光時

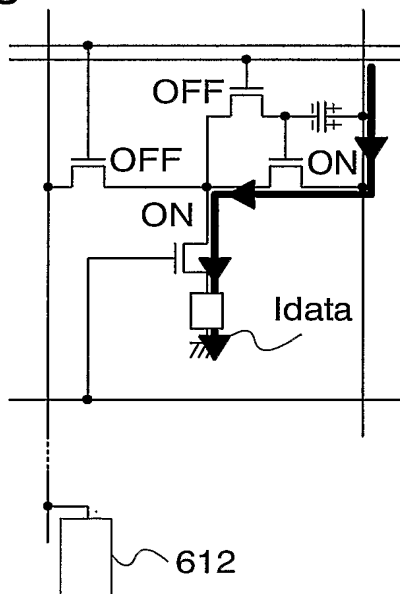


Fig. 17D

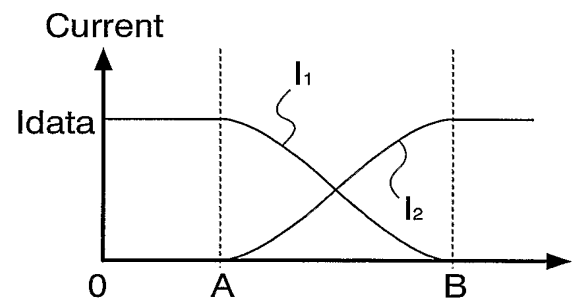
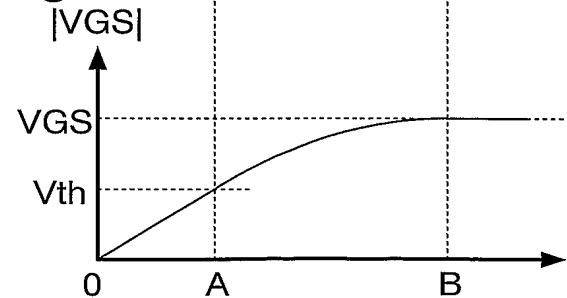


Fig. 17E



17/46

Fig. 18A

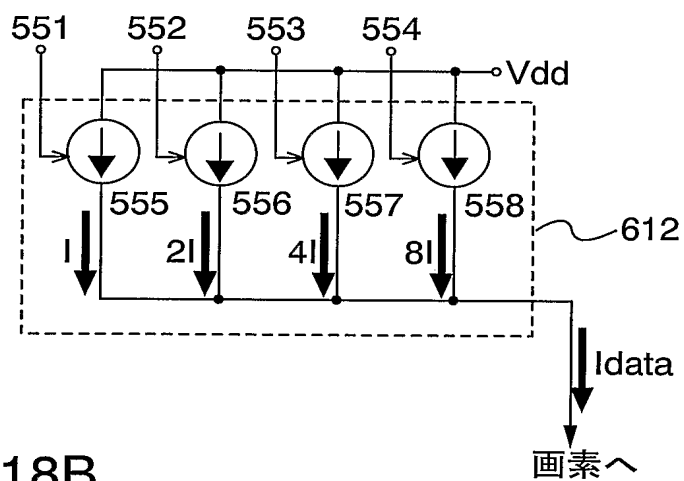
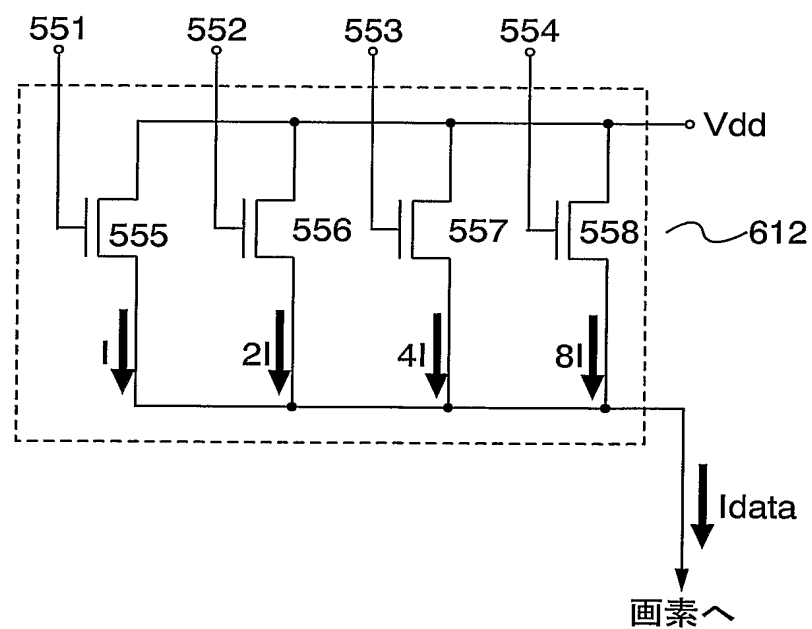


Fig. 18B



18/46

Fig. 19A 信号入力時

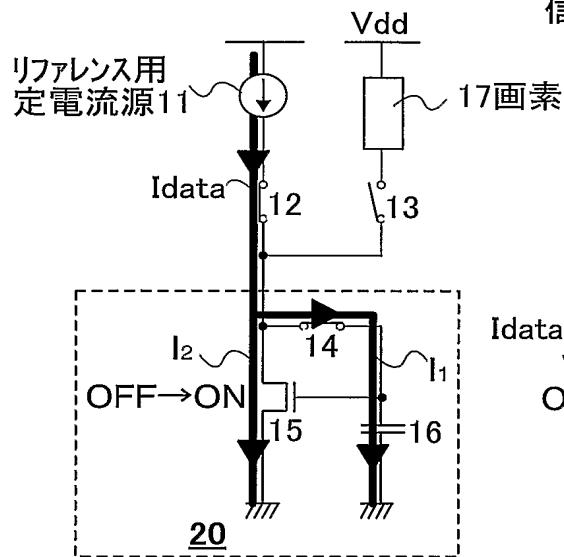


Fig. 19B

信号入力完了時

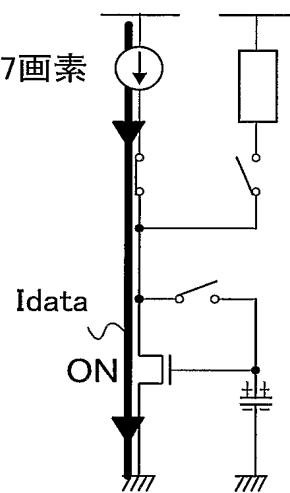


Fig. 19C

画素への信号入力時

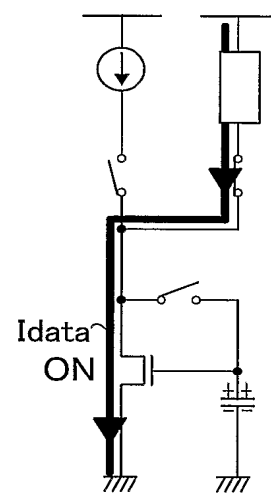


Fig. 19D

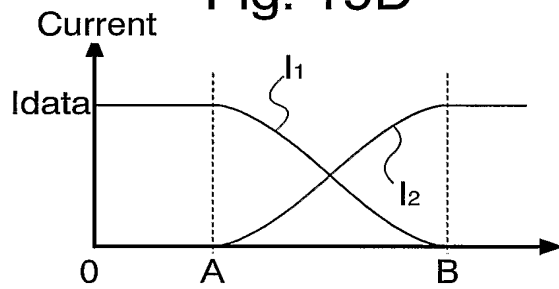


Fig. 19E

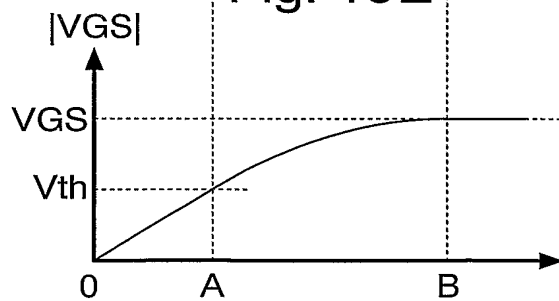


Fig. 19F

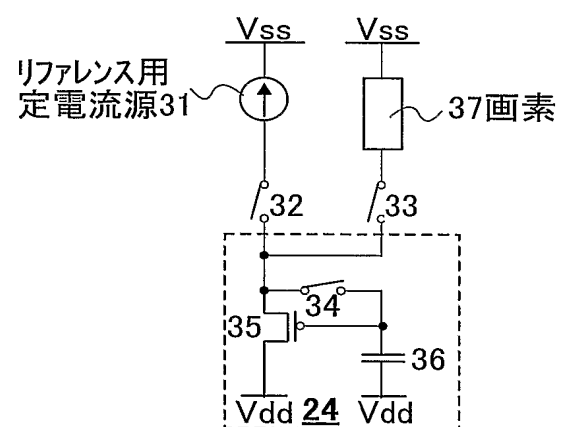


Fig. 20A 信号入力時

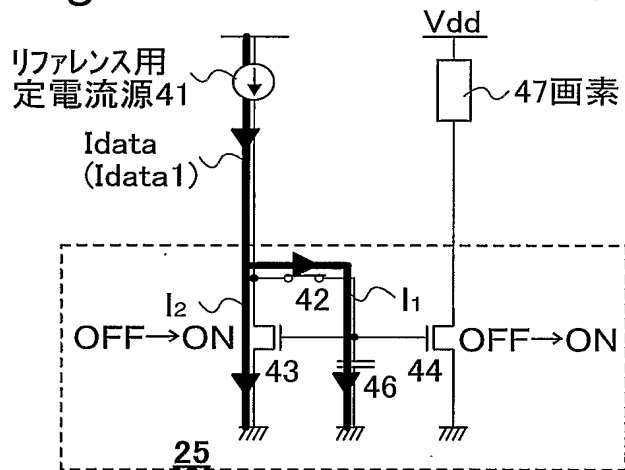


Fig. 20B 信号入力完了時

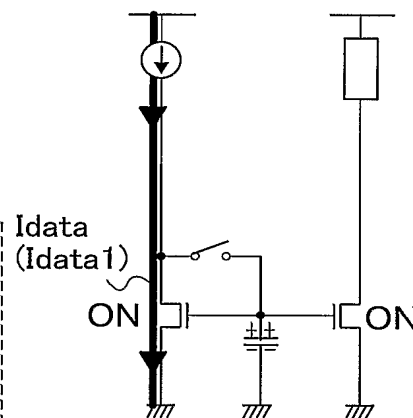


Fig. 20C 画素への信号入力時

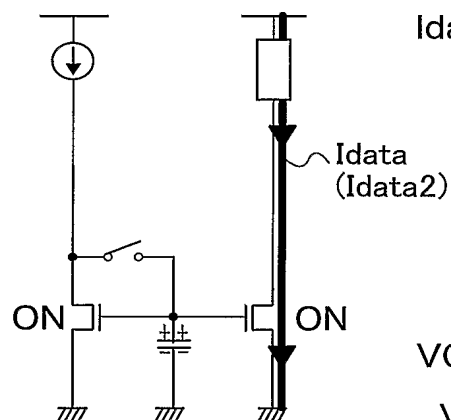


Fig. 20D

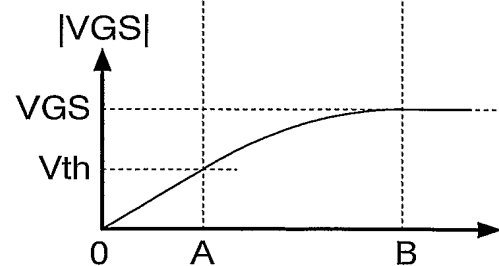
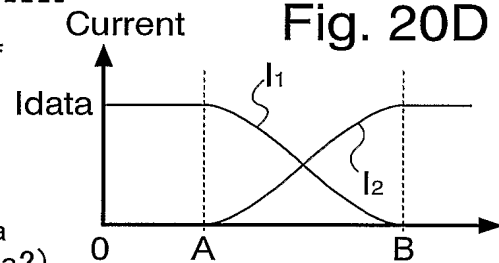


Fig. 20E

20/46

Fig. 21

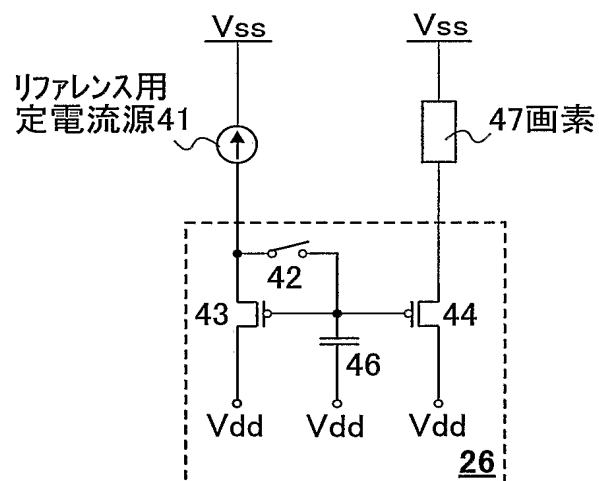




Fig. 22A

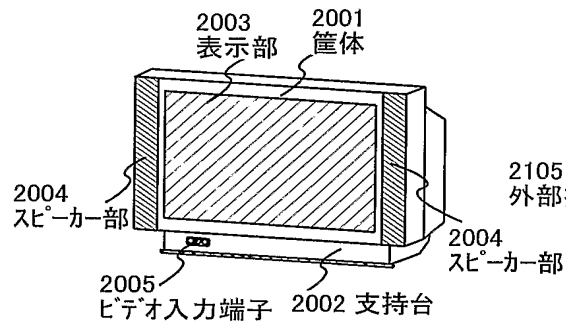


Fig. 22B

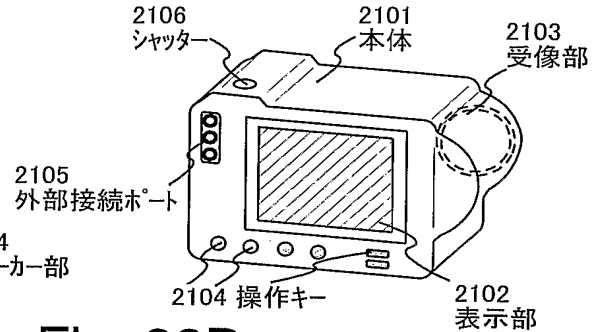


Fig. 22C

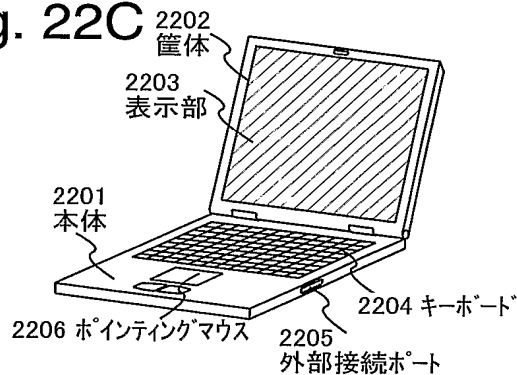


Fig. 22D

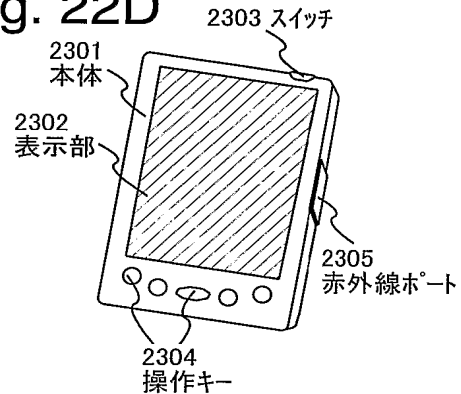


Fig. 22E

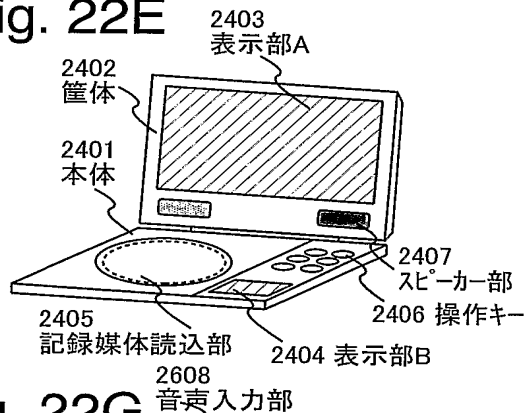


Fig. 22F

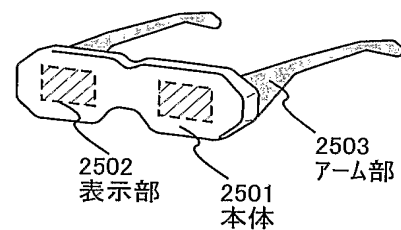


Fig. 22G

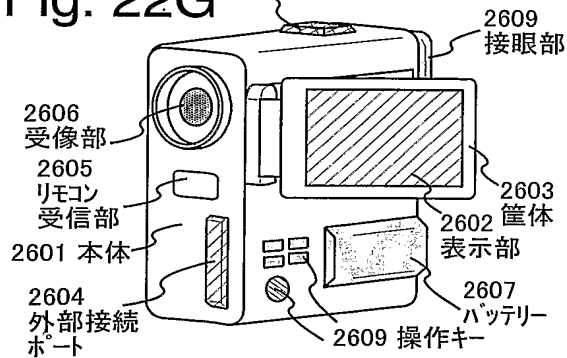
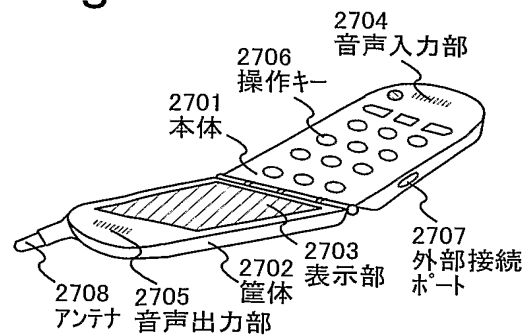
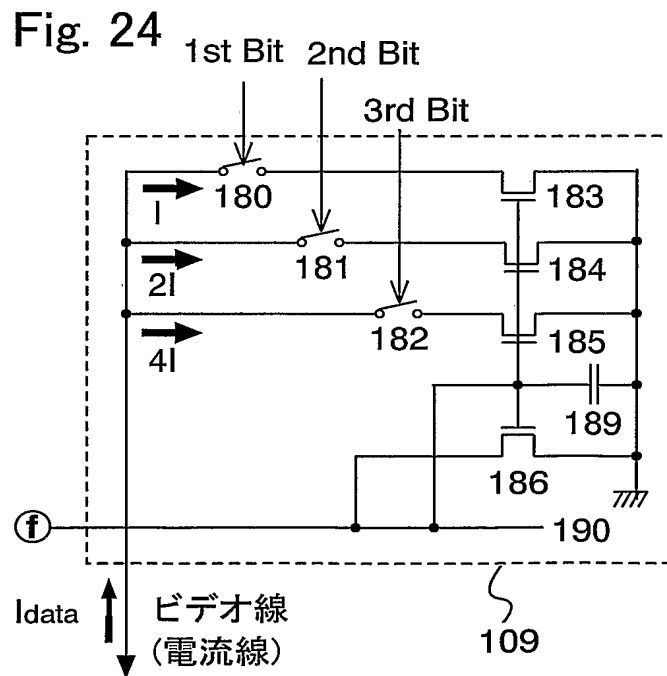
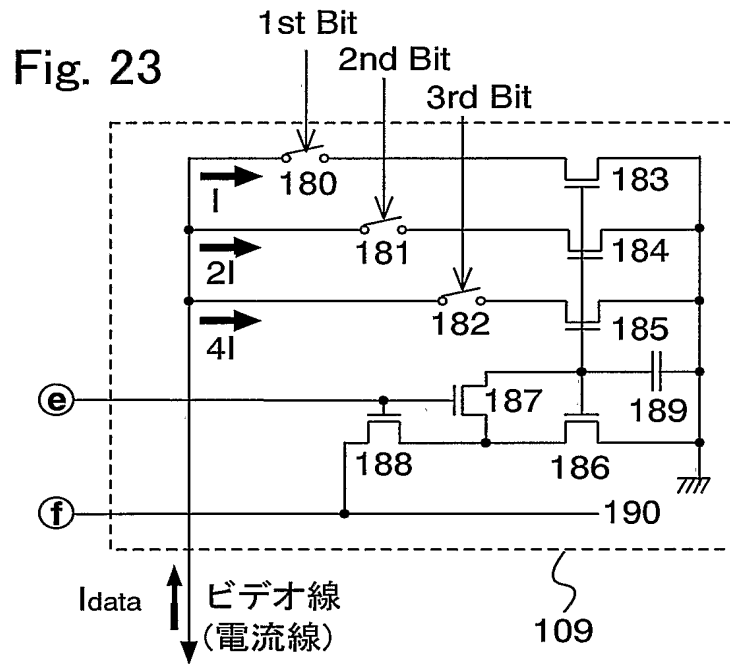


Fig. 22H



22/46



23/46

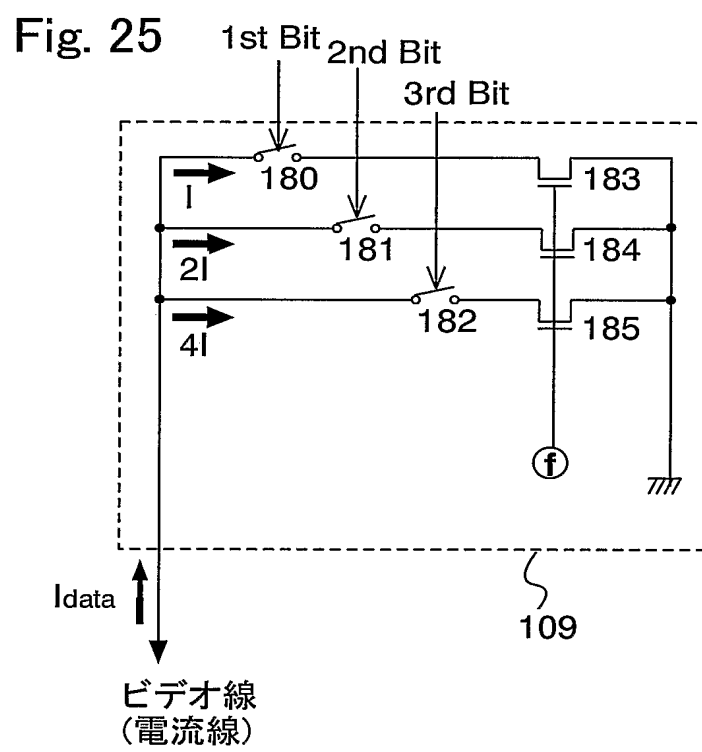
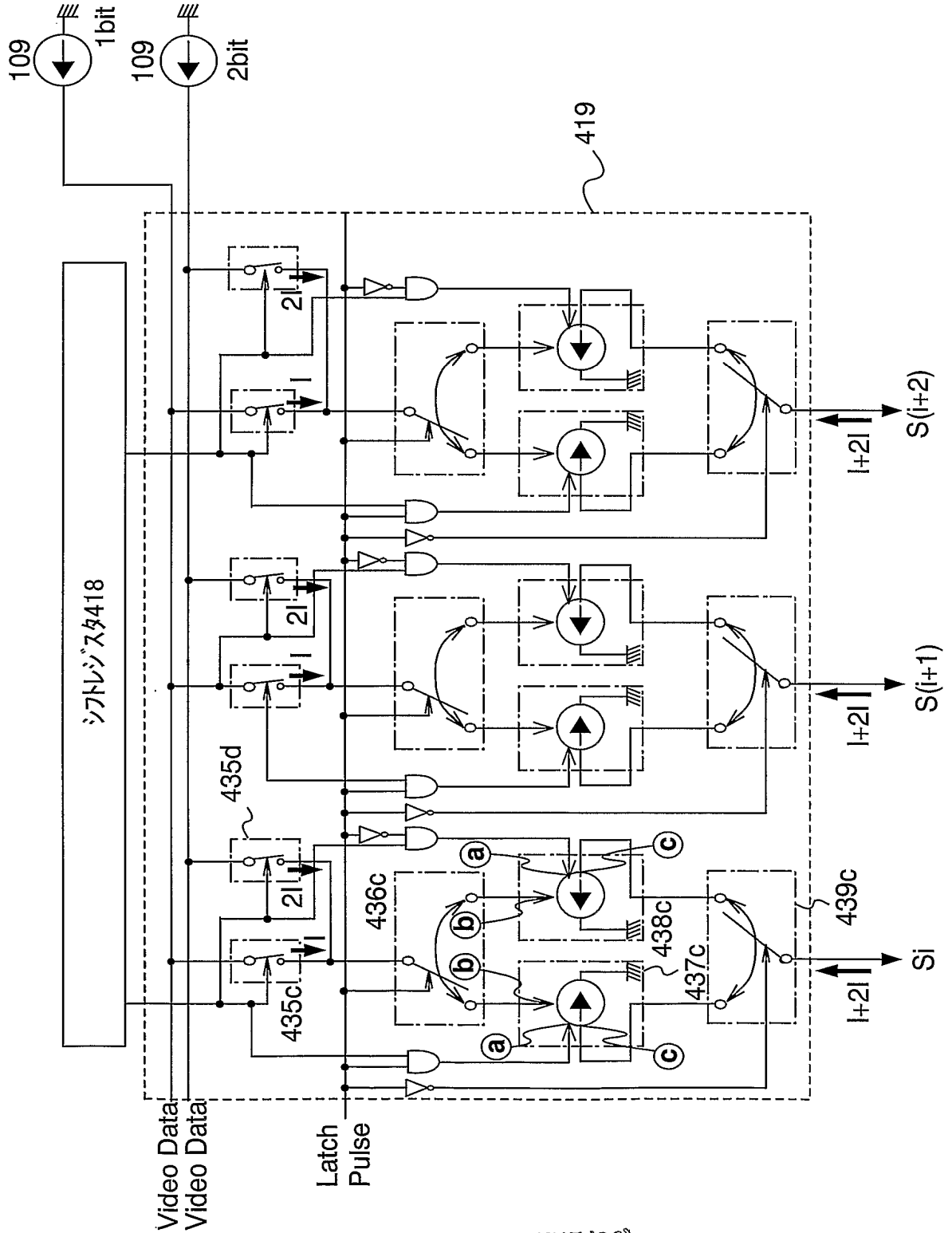


Fig. 26



25/46

Fig. 27A1

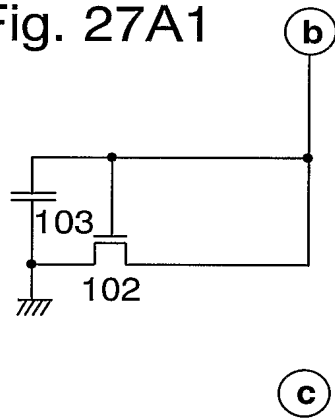


Fig. 27A2

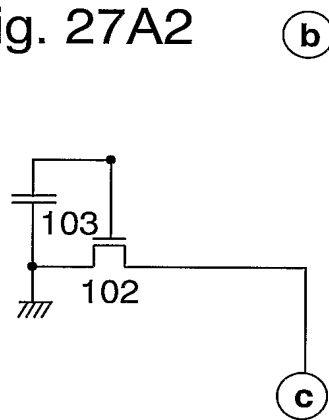


Fig. 27B1

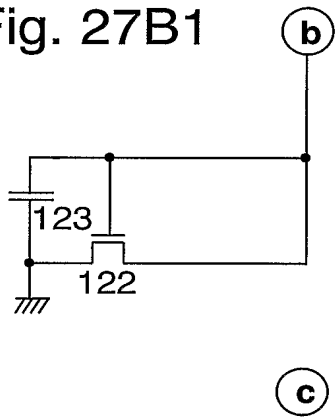


Fig. 27B2

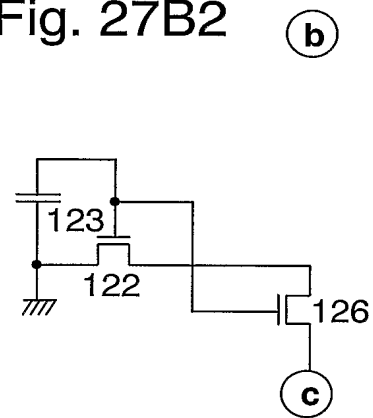


Fig. 27C1

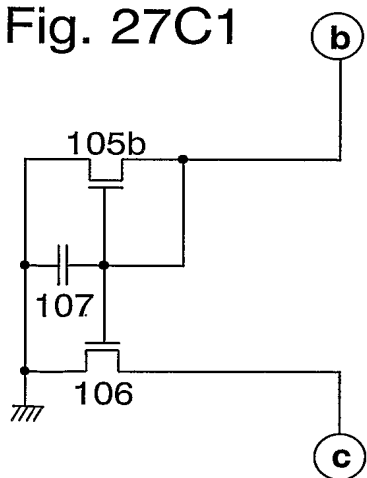
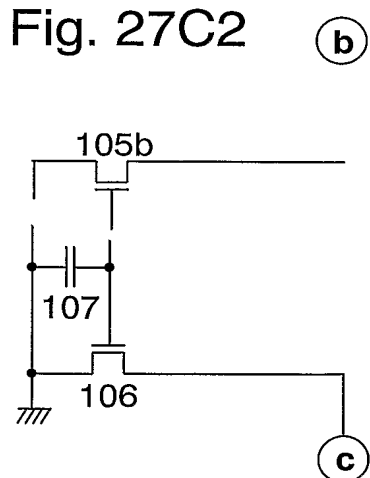


Fig. 27C2



26/46

Fig. 28A

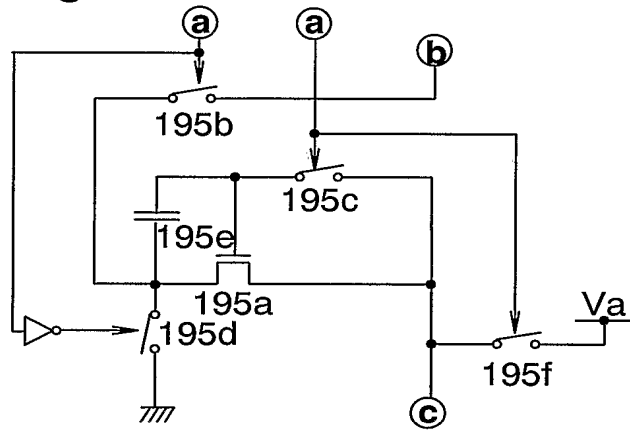


Fig. 28B1

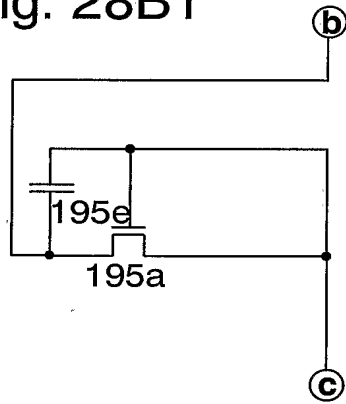


Fig. 28B2

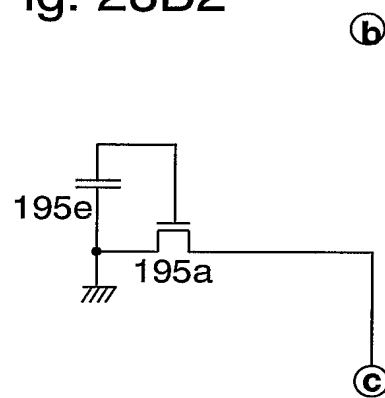


Fig. 28C1

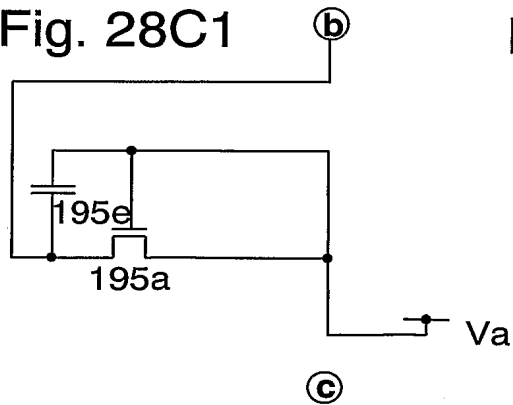
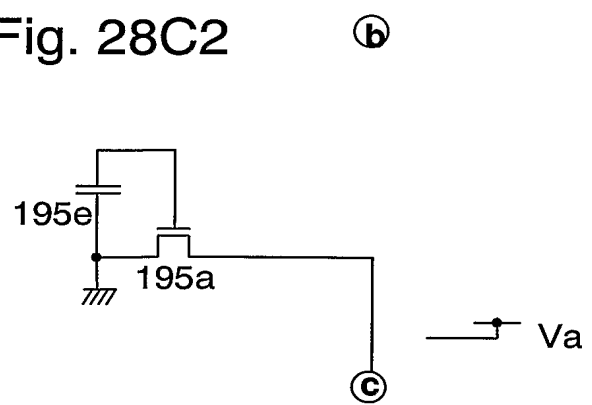


Fig. 28C2



27/46

Fig. 29A

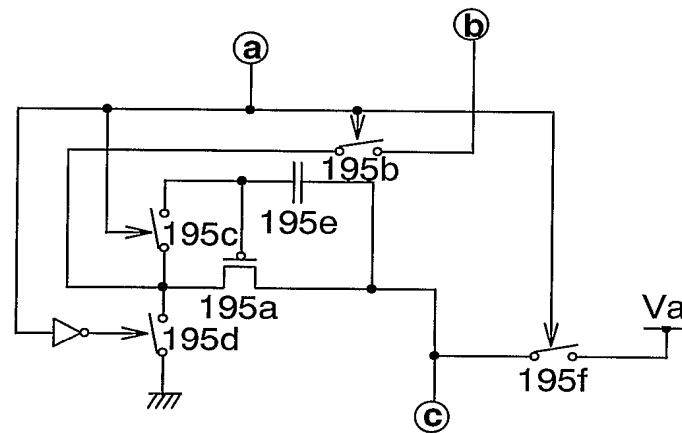
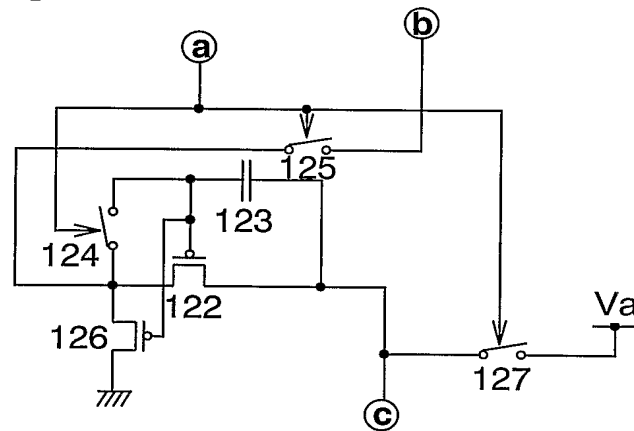


Fig. 29B



28/46

Fig. 30A1

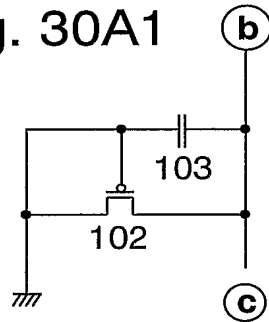


Fig. 30A2

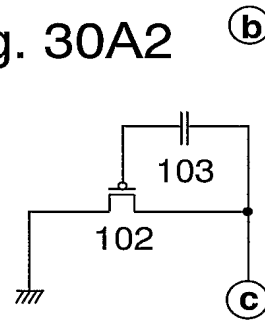


Fig. 30B1

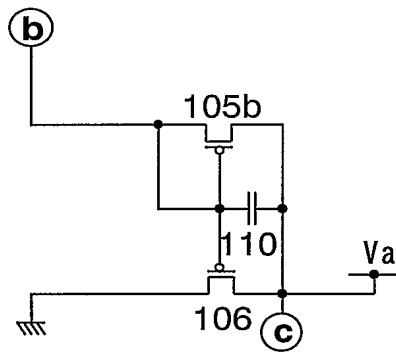


Fig. 30B2

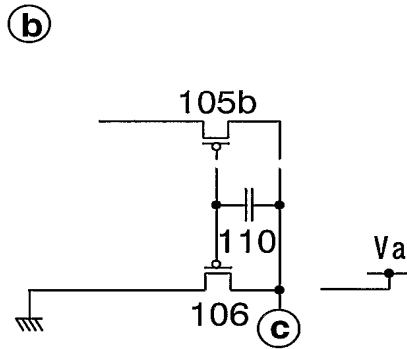


Fig. 30C1

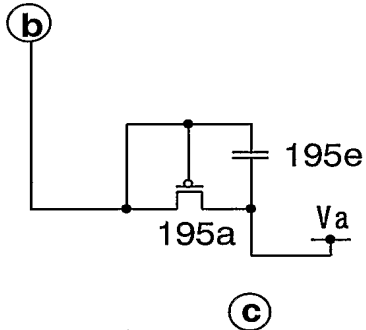


Fig. 30C2

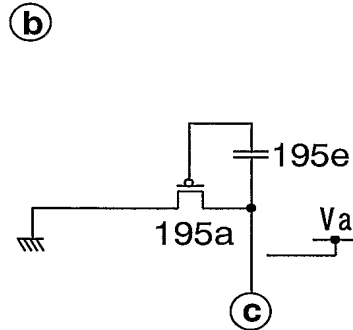


Fig. 30D1

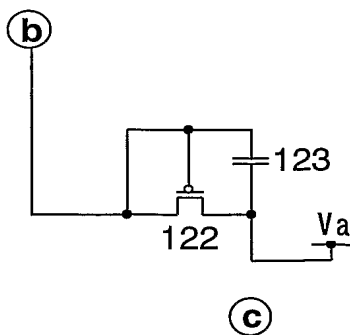
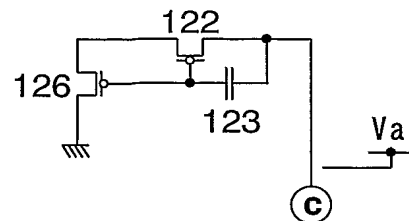


Fig. 30D2





29/46

Fig. 31A

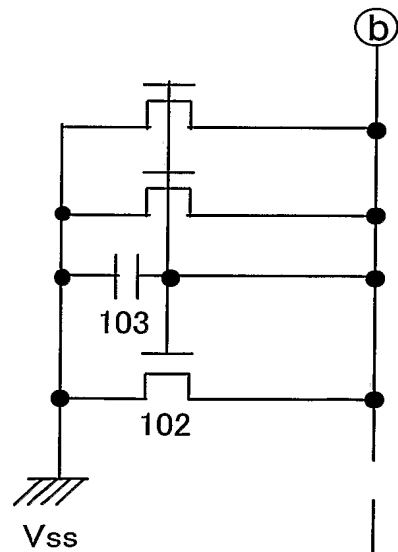
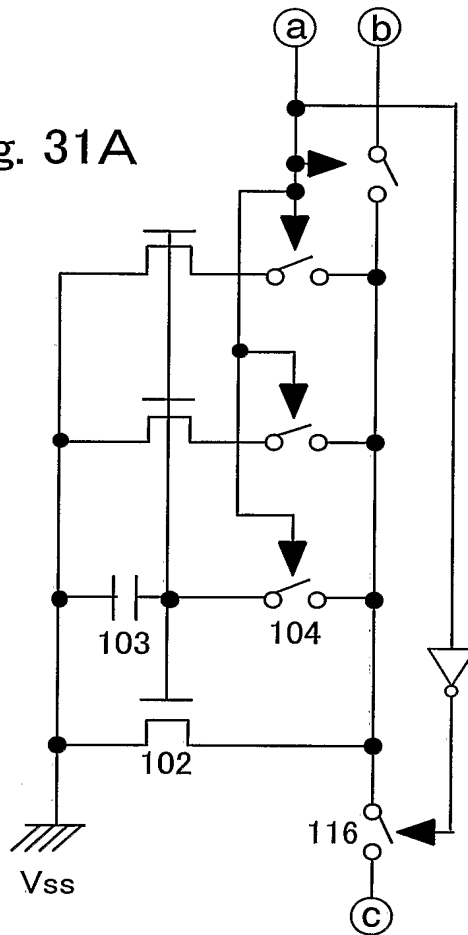


Fig. 31B

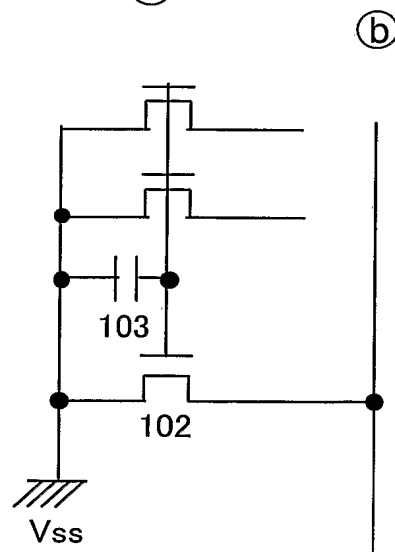
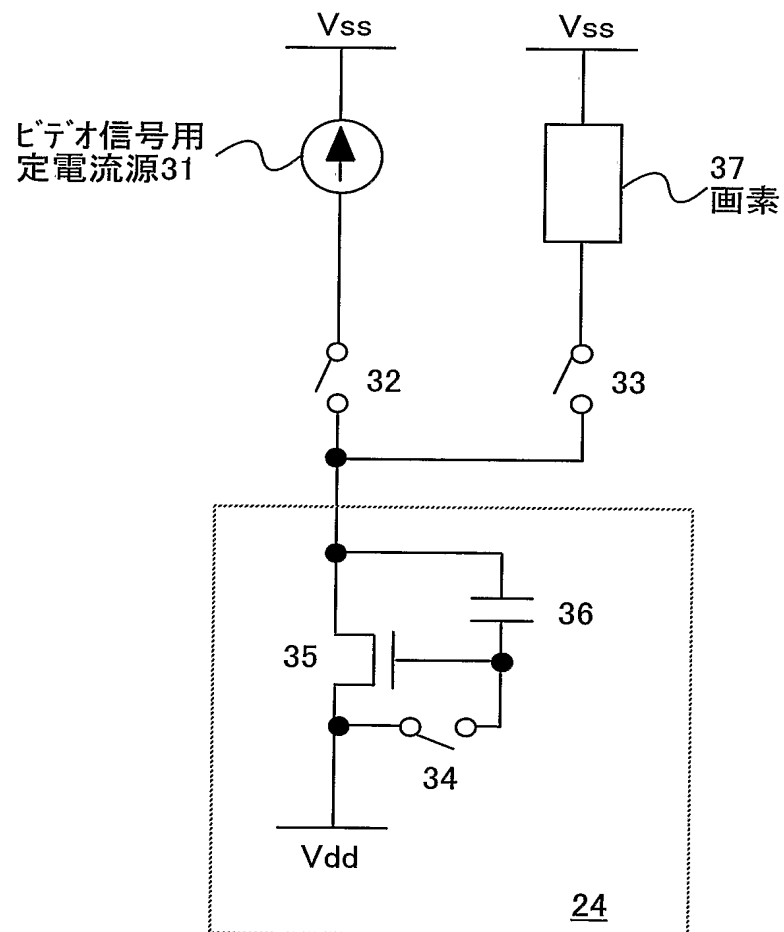


Fig. 31C

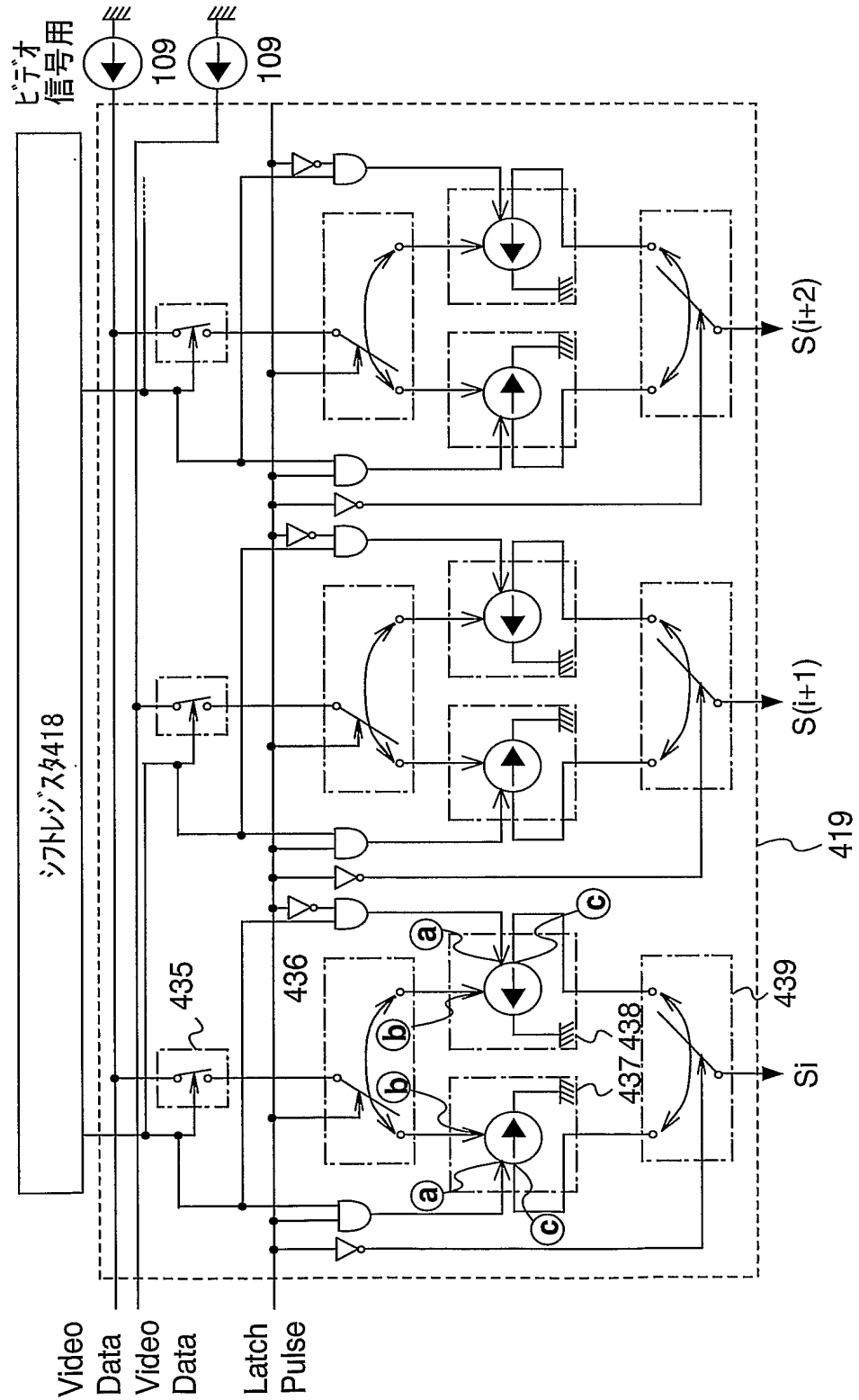
30/46

Fig. 32



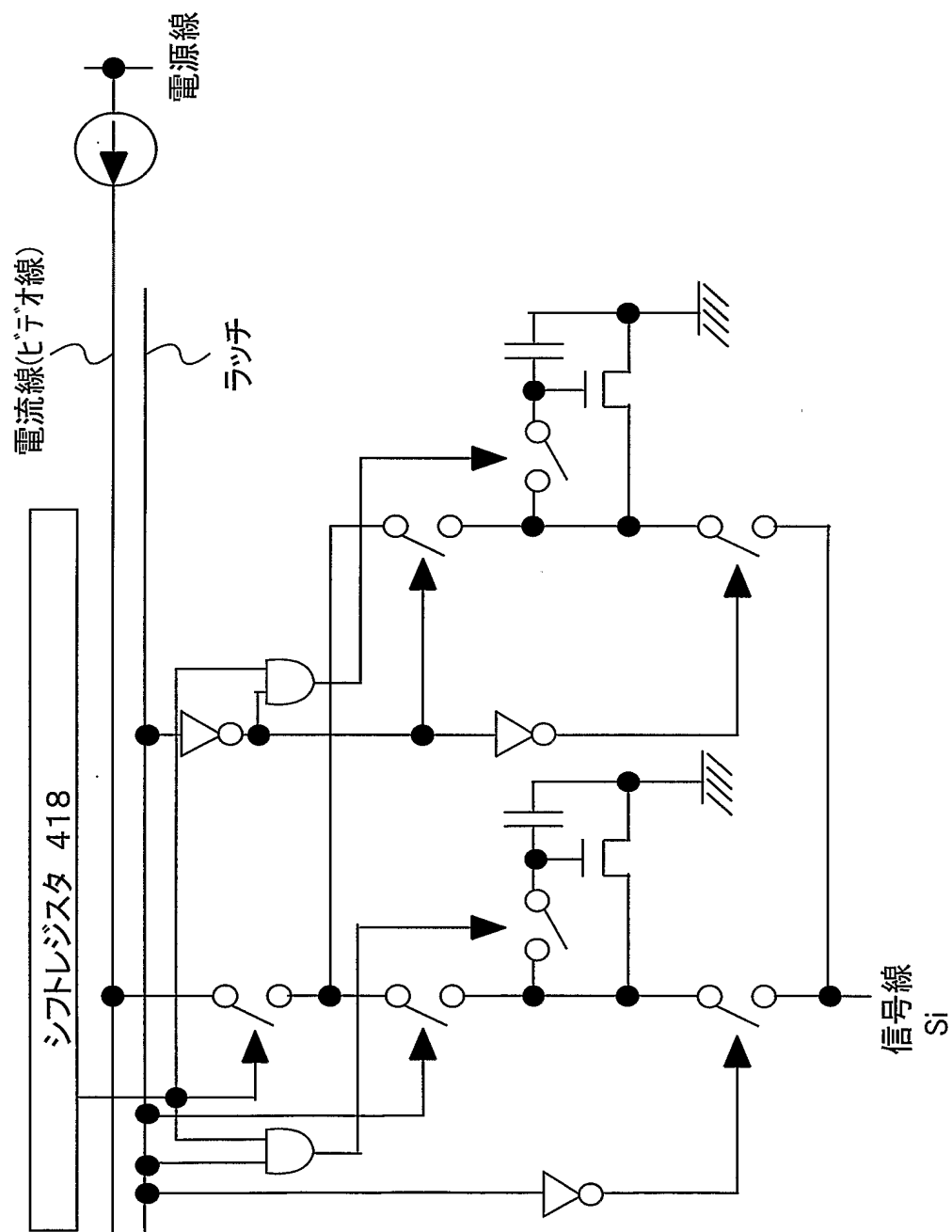
31/46

Fig. 33



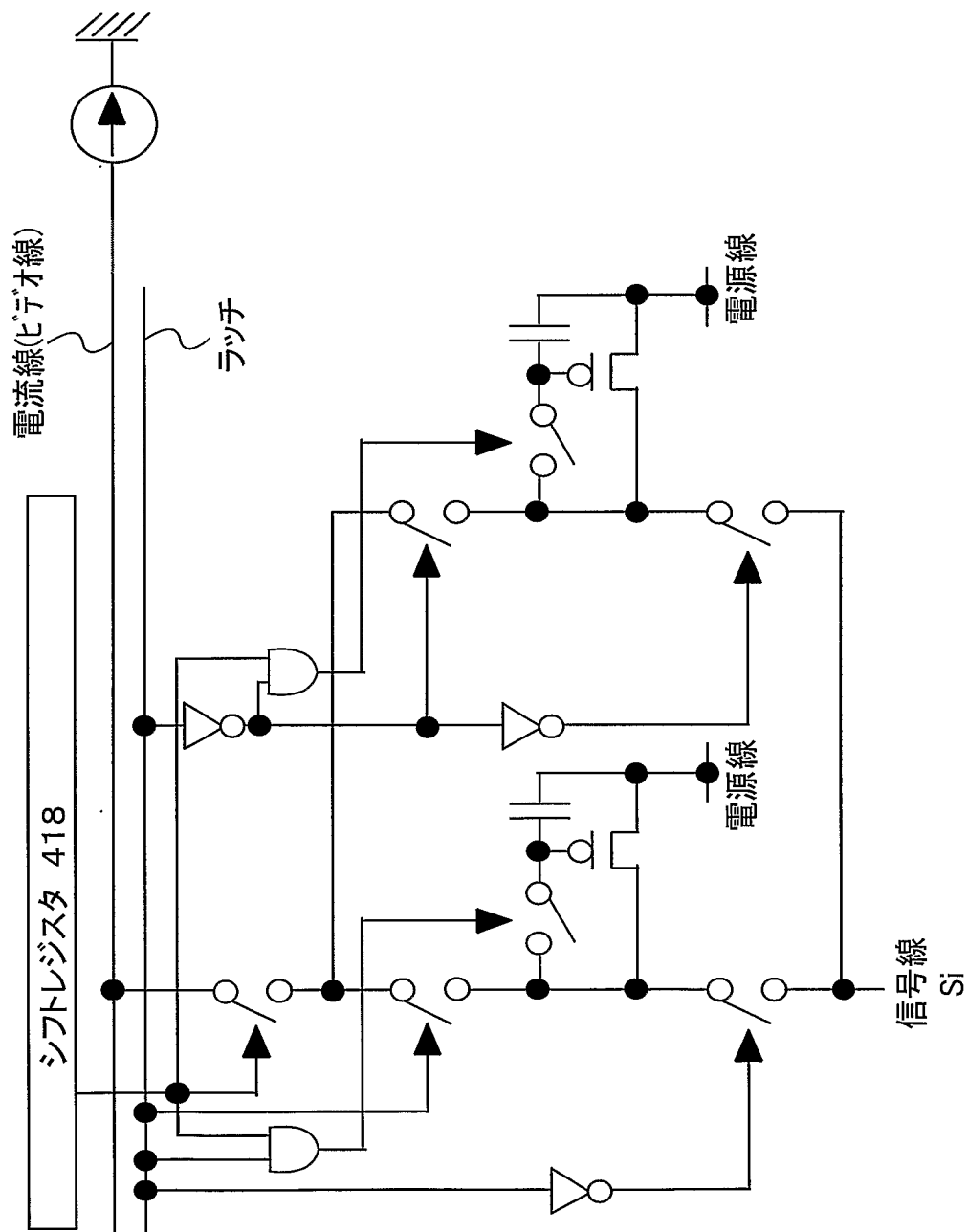
32/46

Fig. 34



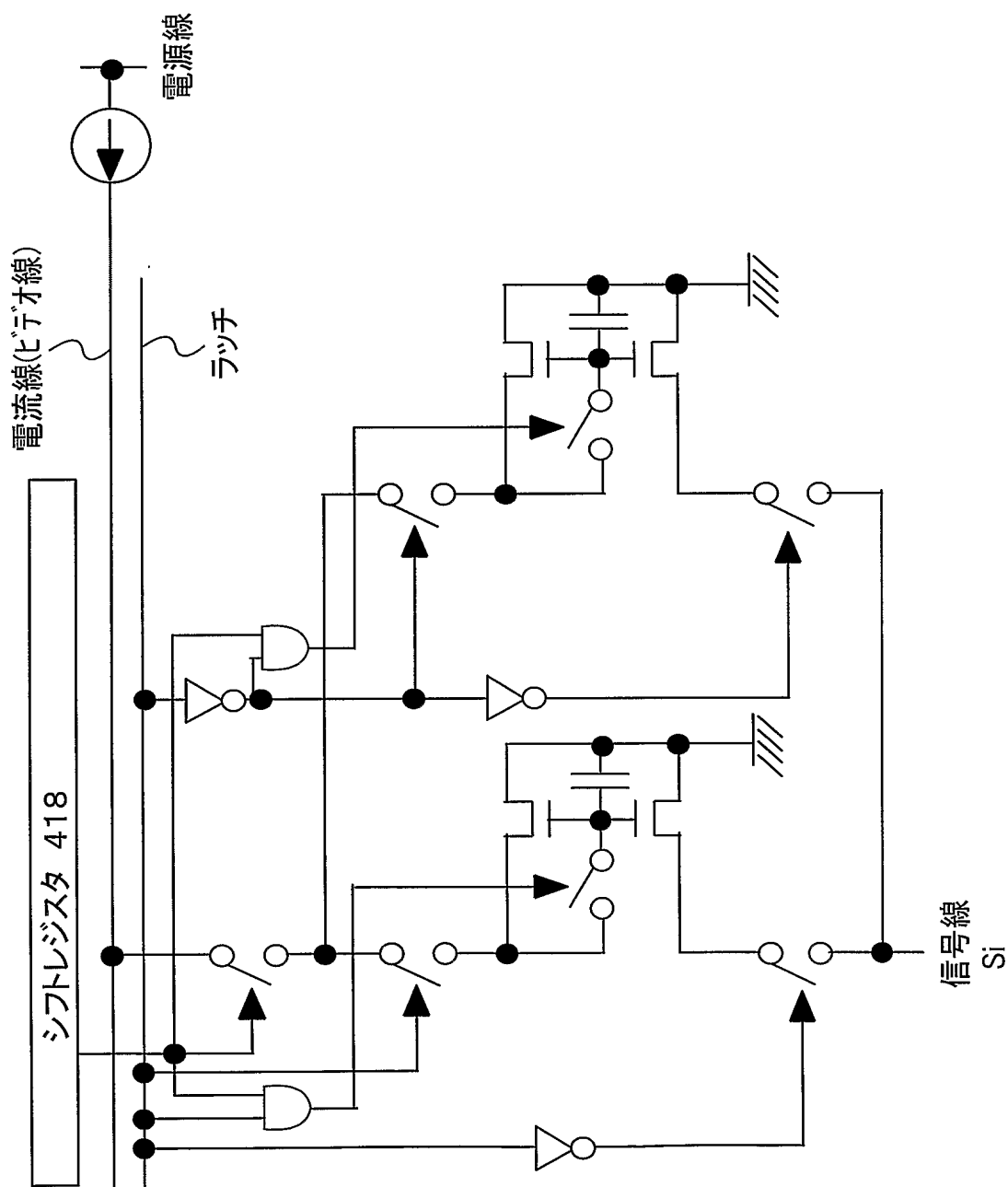
33/46

Fig.35



34/46

Fig. 36



35/46

Fig. 37A

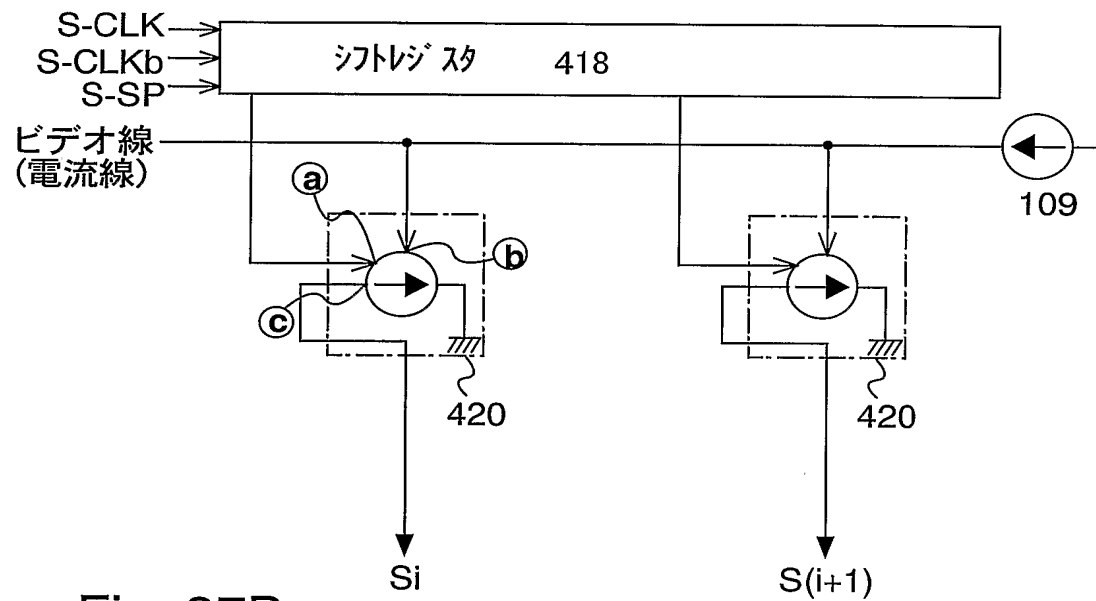


Fig. 37B

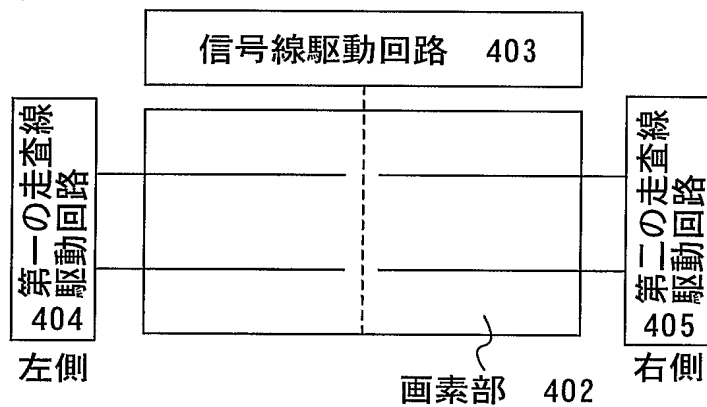
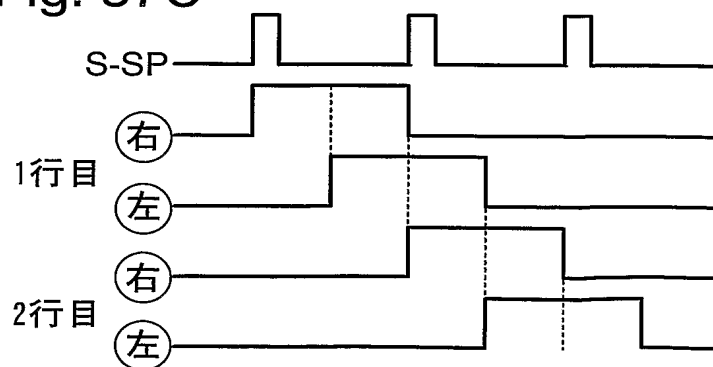
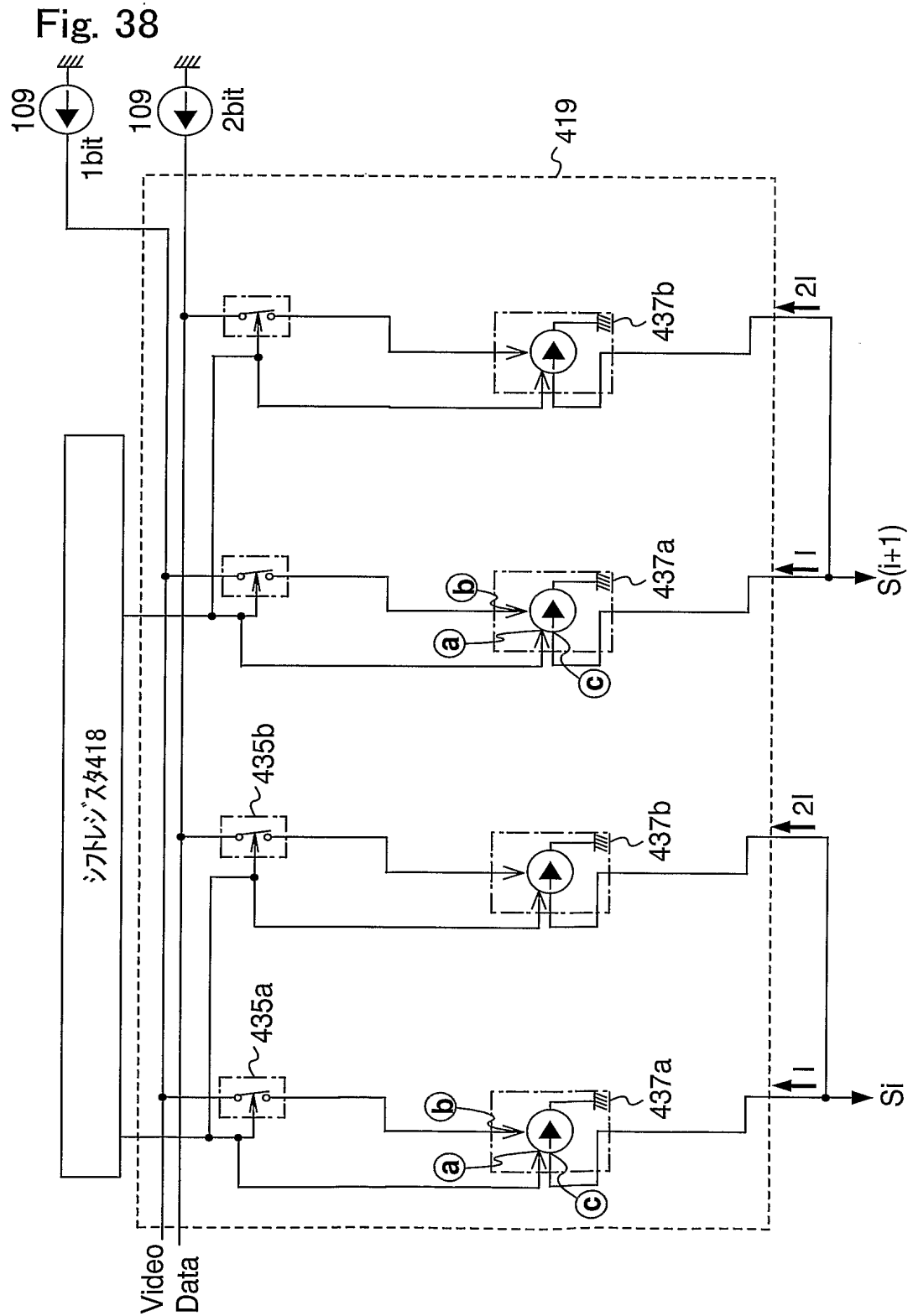


Fig. 37C



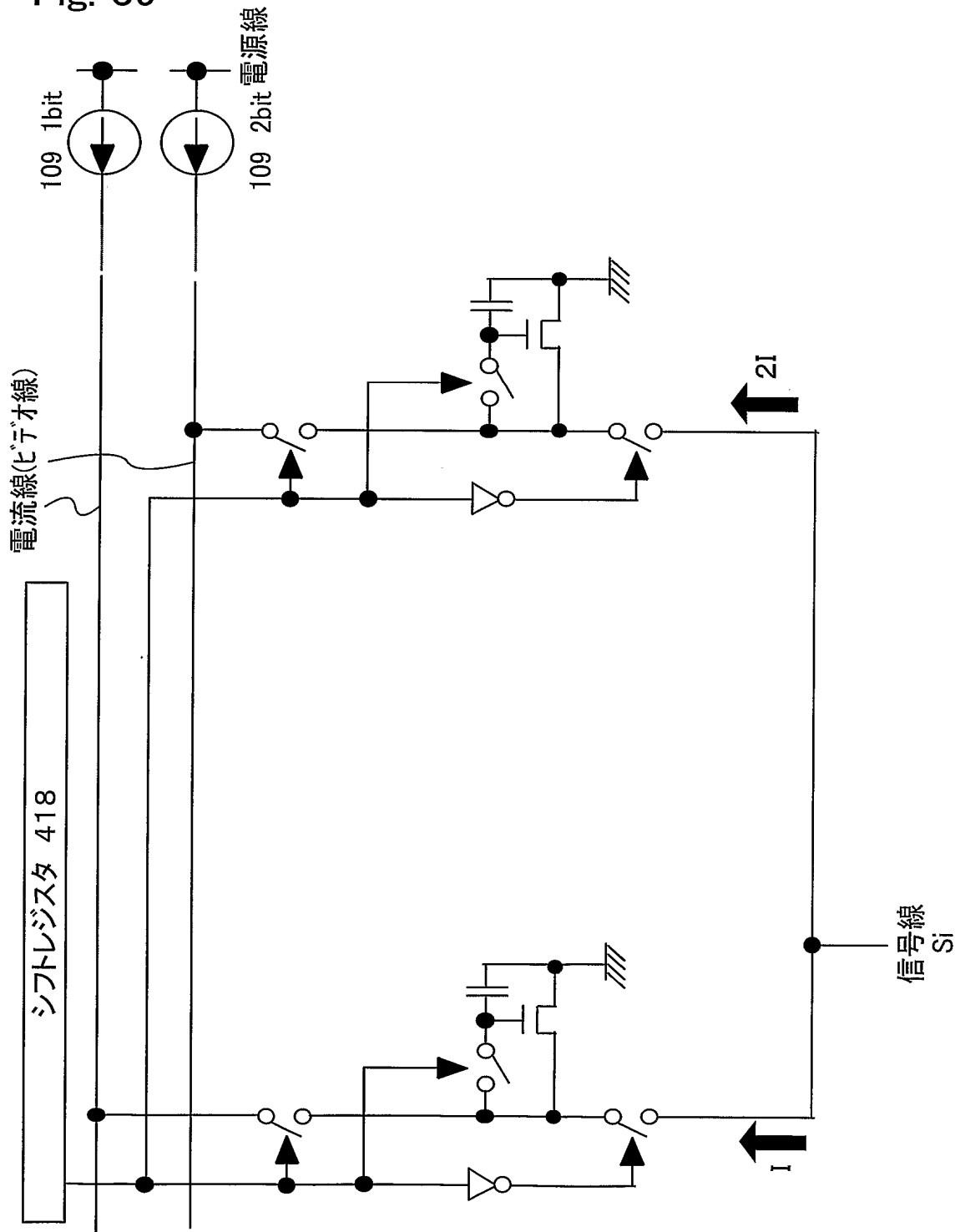
36/46





37/46

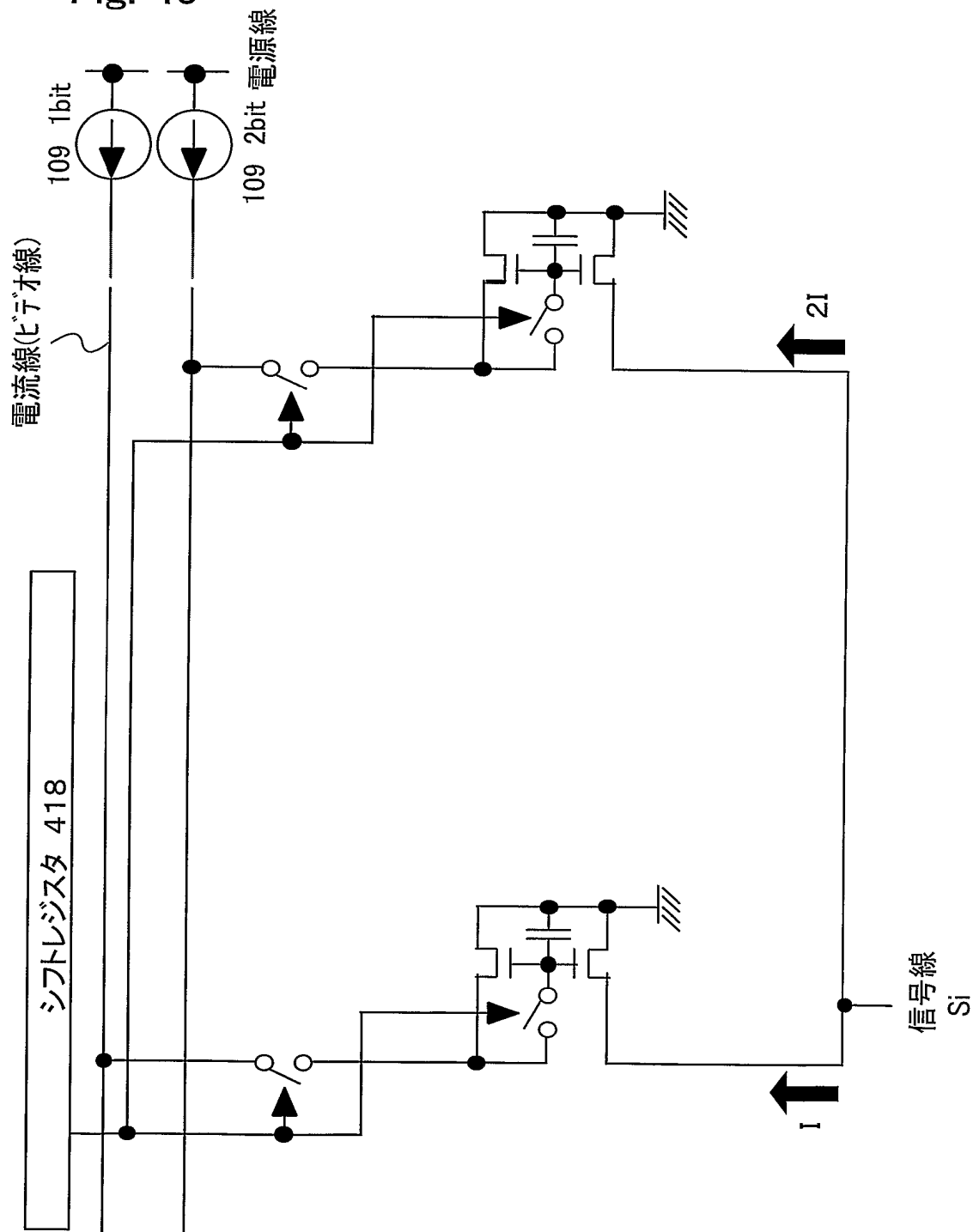
Fig. 39



差替え用紙(規則26)

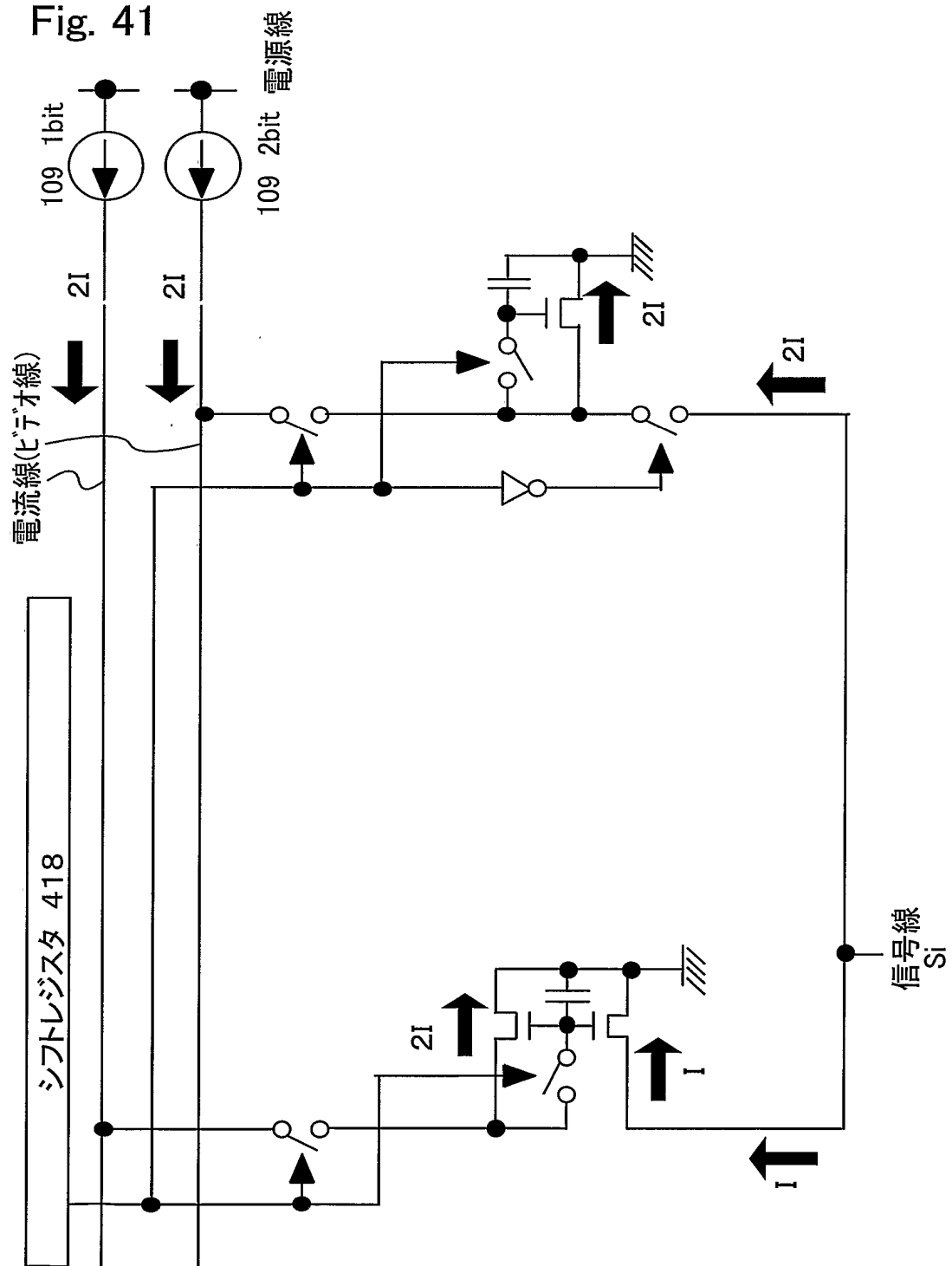
38/46

Fig. 40



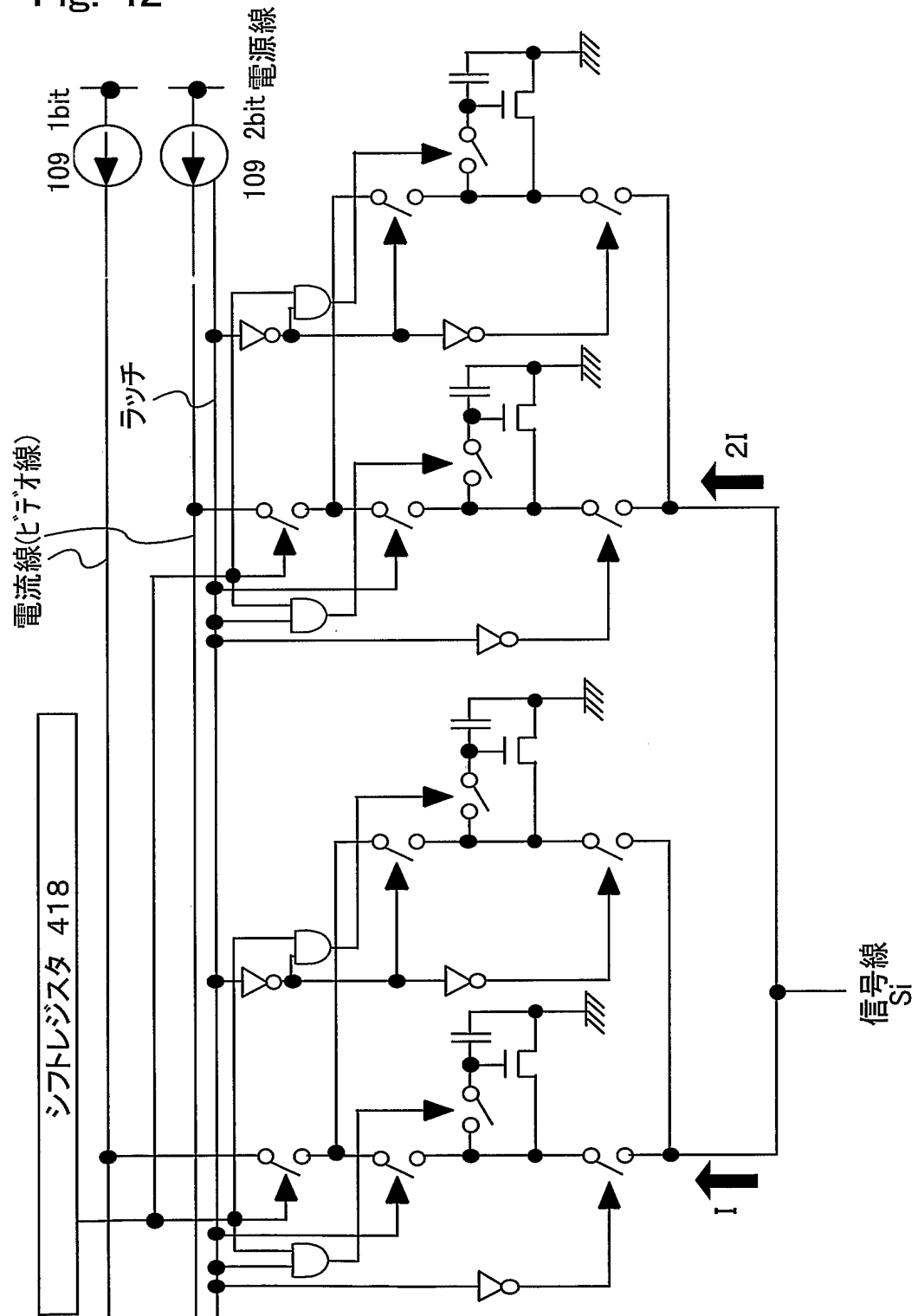
39/46

Fig. 41



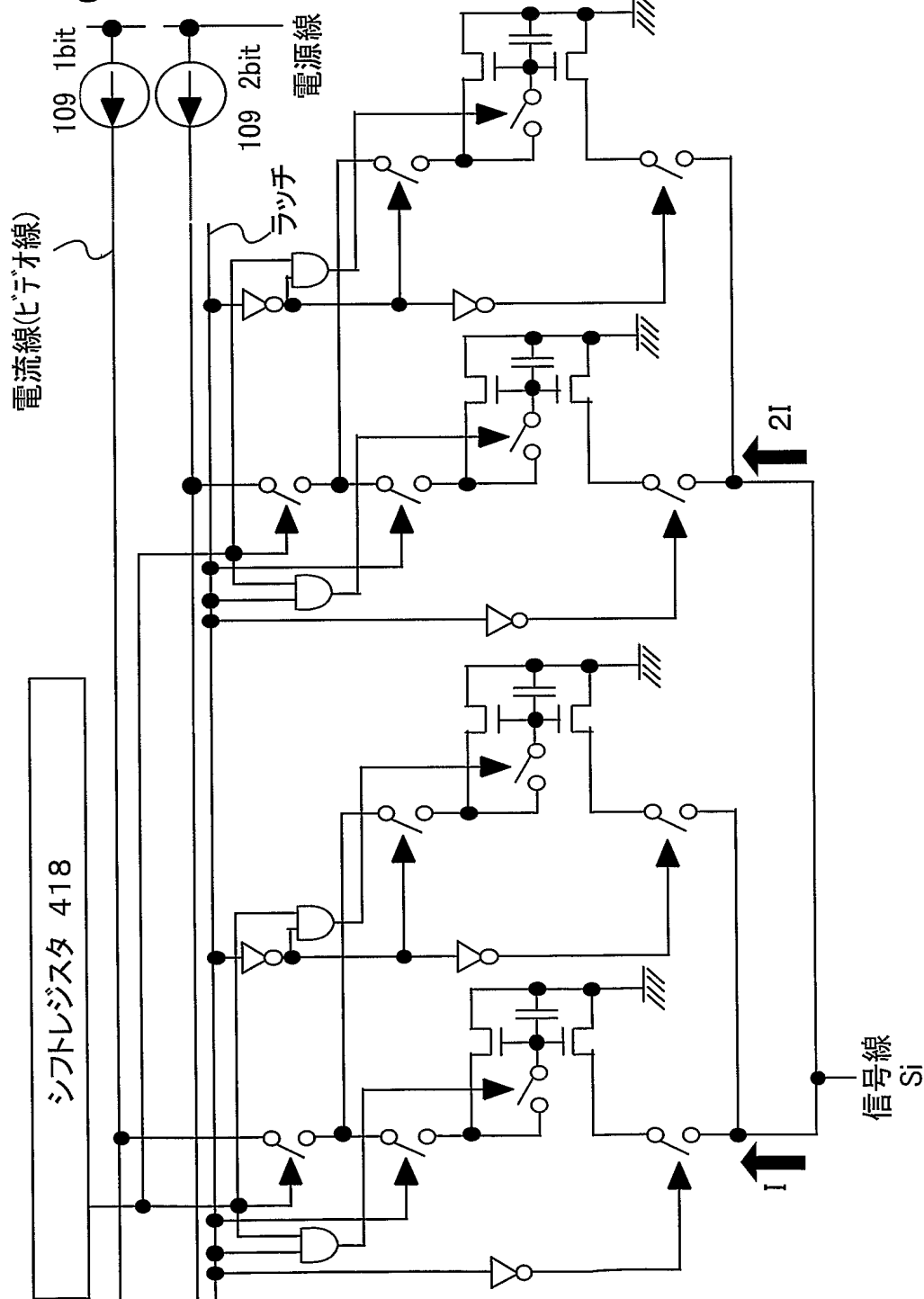
40/46

Fig. 42



41/46

Fig. 43



42/46

Fig. 44

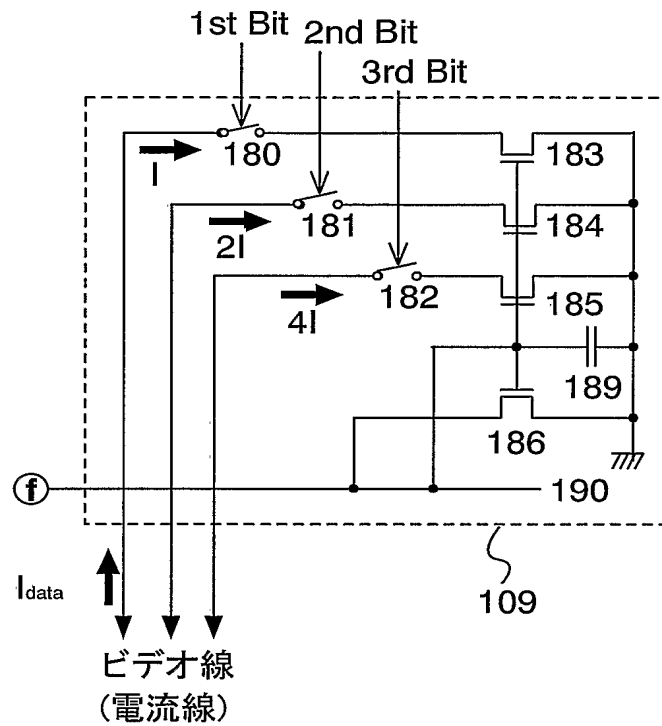
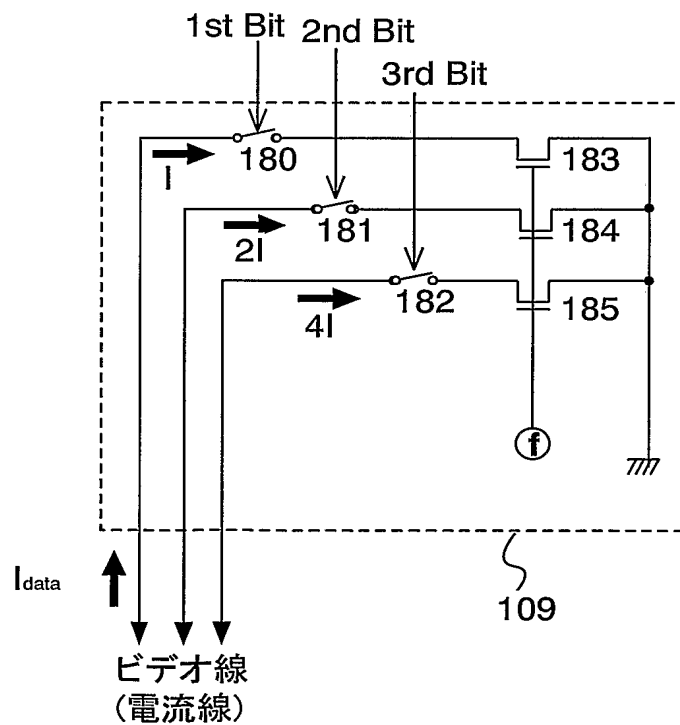


Fig. 45



43/46

Fig. 46

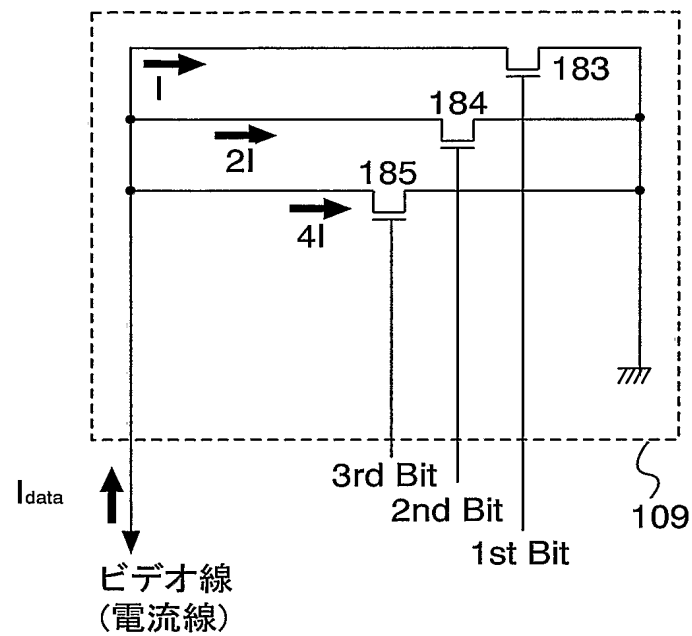
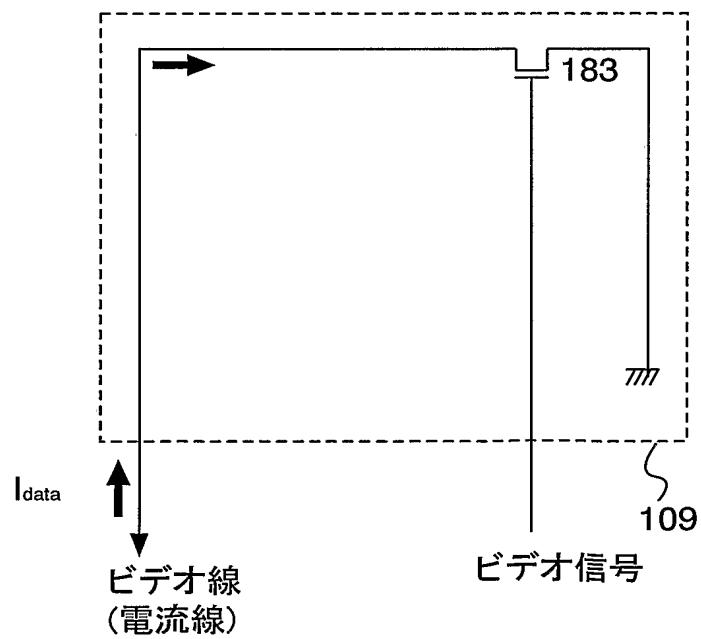
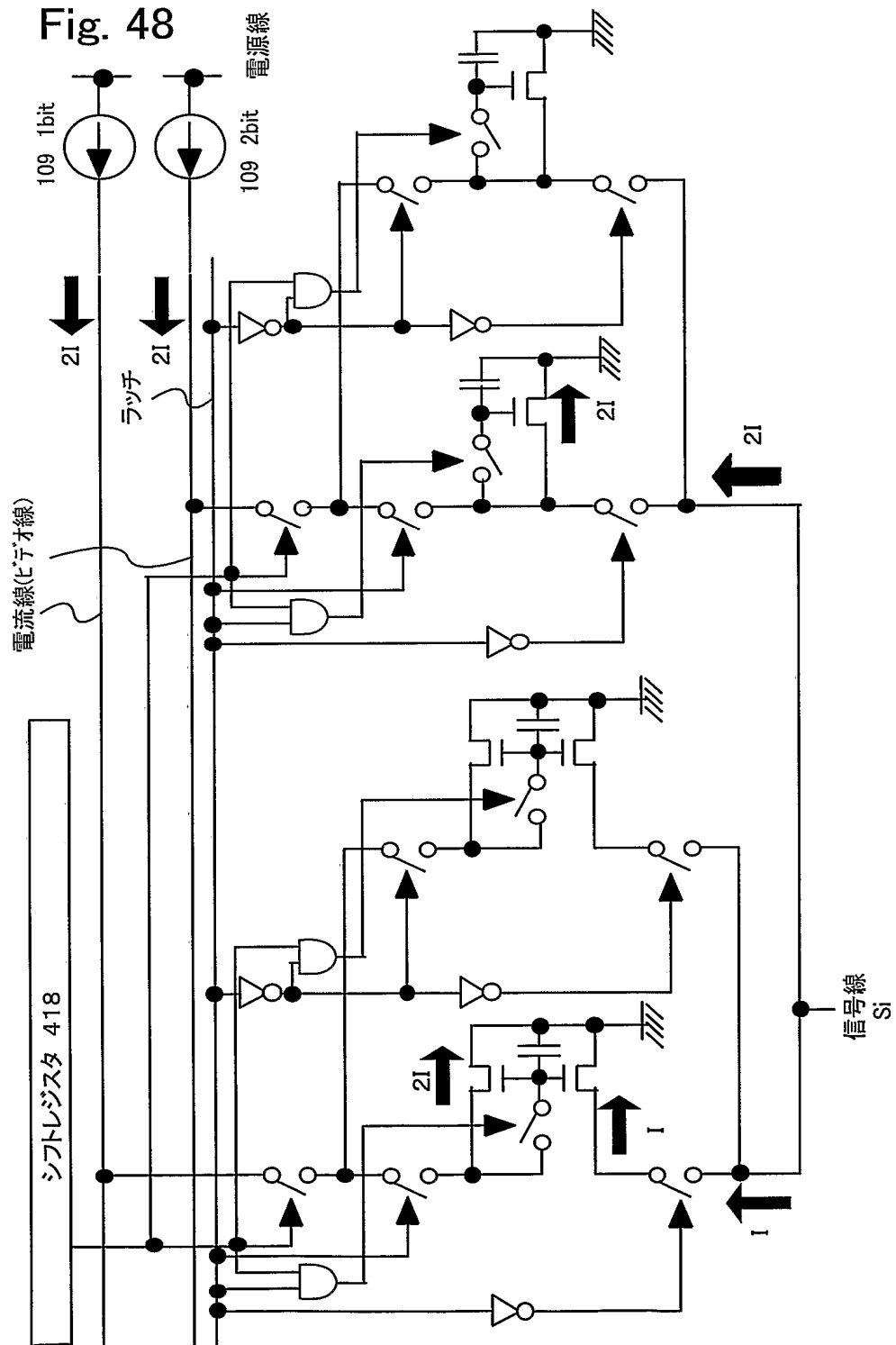


Fig. 47



44/46

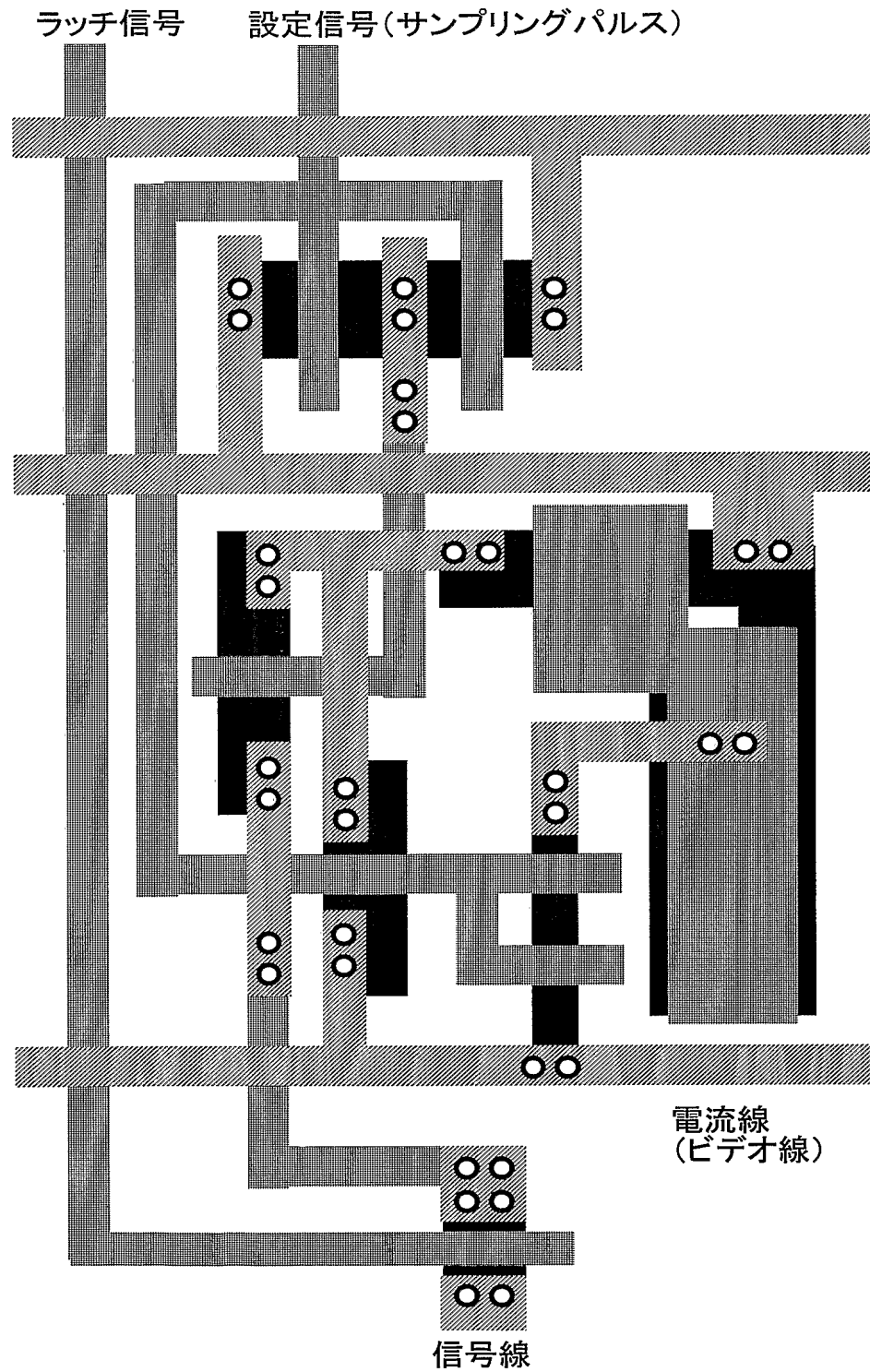
Fig. 48





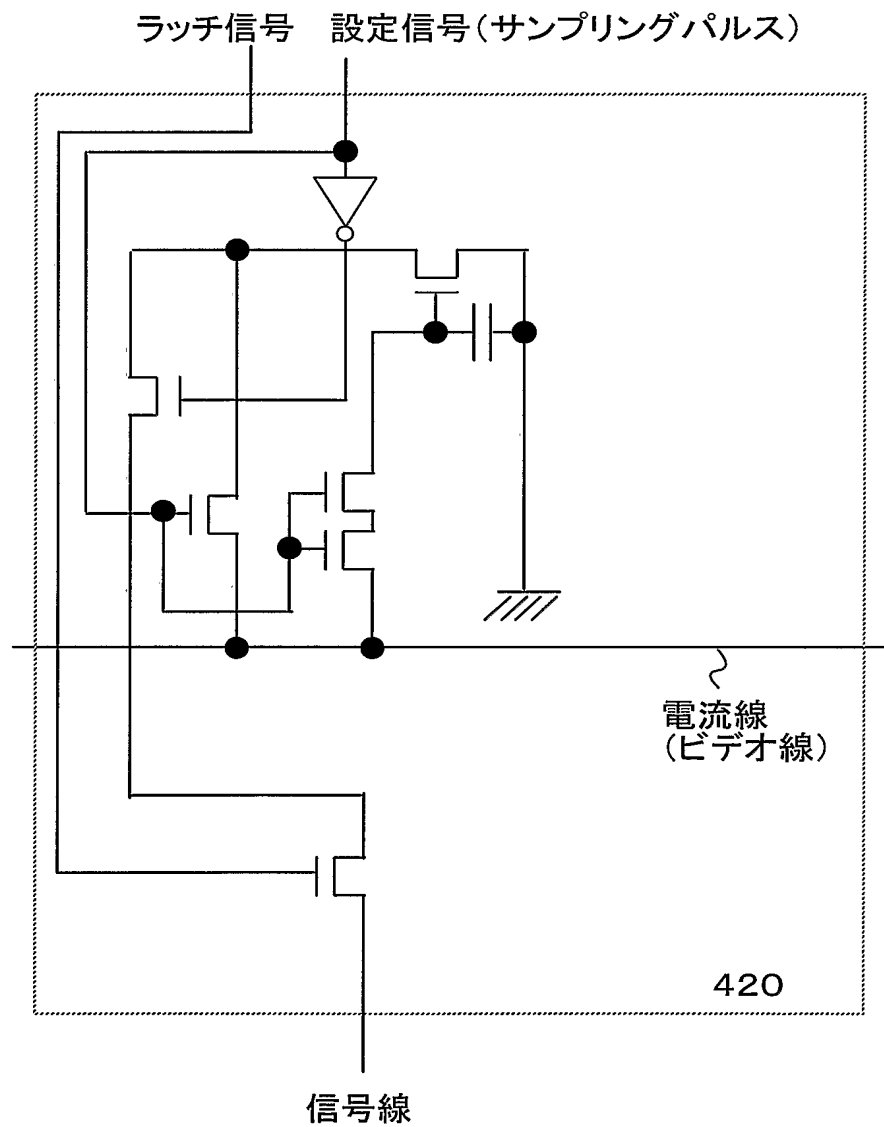
45/46

Fig. 49



46/46

Fig. 50



# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP02/11355

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G09G3/30, G09G3/20, G05F1/10

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G09G3/30, G09G3/20, G05F1/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
JICST

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-81920 A (Canon Inc.), 21 March, 2000 (21.03.00), Par. Nos. [0005] to [0018]; Figs. 1, 5 & US 6222357 B1	1-3, 5-15
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 10861/1986 (Laid-open No. 122488/1987) (Sony Corp.), 04 August, 1987 (04.08.87), Description, pages 6 to 9; Figs. 1 to 4 (Family: none)	1-4, 7, 12-15
Y	JP 11-282419 A (NEC Corp.), 15 October, 1999 (15.10.99), Par. Nos. [0038] to [0083]; Figs. 1 to 14 & US 6091203 A & KR 99078420 A	1-3, 5-15

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>
--	---

Date of the actual completion of the international search  
10 February, 2003 (10.02.03)

Date of mailing of the international search report  
25 February, 2003 (25.02.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP02/11355

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-118913 A (Casio Computer Co., Ltd.), 28 April, 1994 (28.04.94), Par. Nos. [0002] to [0003], [0016] to [0053]; Figs. 1 to 6 (Family: none)	1-15
Y	JP 2001-290469 A (NEC Corp.), 19 October, 2001 (19.10.01), Par. Nos. [0024] to [0034]; Figs. 1 to 2 (Family: none)	1-15
Y	JP 8-95522 A (Toppan Printing Co., Ltd.), 12 April, 1996 (12.04.96), Par. Nos. [0007] to [0025]; Figs. 1 to 5 (Family: none)	12
Y	JP 11-231834 A (Pioneer Electronic Corp.), 27 August, 1999 (27.08.99), Par. Nos. [0033] to [0038]; Figs. 4 to 6 & US 6473064 B1	1-15

A. 発明の属する分野の分類（国際特許分類（IPC））  
Int. Cl<sup>7</sup> G09G3/30, G09G3/20, G05F1/10

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））  
Int. Cl<sup>7</sup> G09G3/30, G09G3/20, G05F1/10

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
日本国公開実用新案公報 1971-2003年  
日本国登録実用新案公報 1994-2003年  
日本国実用新案登録公報 1996-2003年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）  
JICST

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-81920 A（キャノン株式会社） 2000.03.21 段落番号【0005】-【0018】，図1，図5 &US 6222357 B1	1-3, 5-15
Y	日本国実用新案登録出願61-10861号（日本国実用新案登録 出願公開62-122488号）の願書に添付した明細書及び図面 の内容を撮影したマイクロフィルム（ソニー株式会社） 1987.08.04 明細書第6頁-第9頁、第1図-第4図（ファミリーなし）	1-4, 7, 12-15

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日  
10.02.03

国際調査報告の発送日  
25.02.03

国際調査機関の名称及びあて先  
日本国特許庁（ISA/JP）  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）  
橋本 直明 印  
2G 9707  
電話番号 03-3581-1101 内線 3225

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-282419 A (日本電気株式会社) 1999. 10. 15 段落番号【0038】-【0083】, 図1-図14 &US 6091203 A &KR 99078420 A	1-3, 5-15
Y	JP 6-118913 A (カシオ計算機株式会社) 1994. 04. 28 段落番号【0002】-【0003】, 【0016】-【0053】, 図1-図6 (ファミリーなし)	1-15
Y	JP 2001-290469 A (日本電気株式会社) 2001. 10. 19 段落番号【0024】-【0034】, 図1-図2 (ファミリーなし)	1-15
Y	JP 8-95522 A (凸版印刷株式会社) 1996. 04. 12 段落番号【0007】-【0025】, 図1-図5 (ファミリーなし)	12
Y	JP 11-231834 A (パイオニア株式会社) 1999. 08. 27 段落番号【0033】-【0038】, 図4-図6 &US 6473064 B1	1-15